

Base resistance controlled thyristor structure with high-density layout for increased current capacity

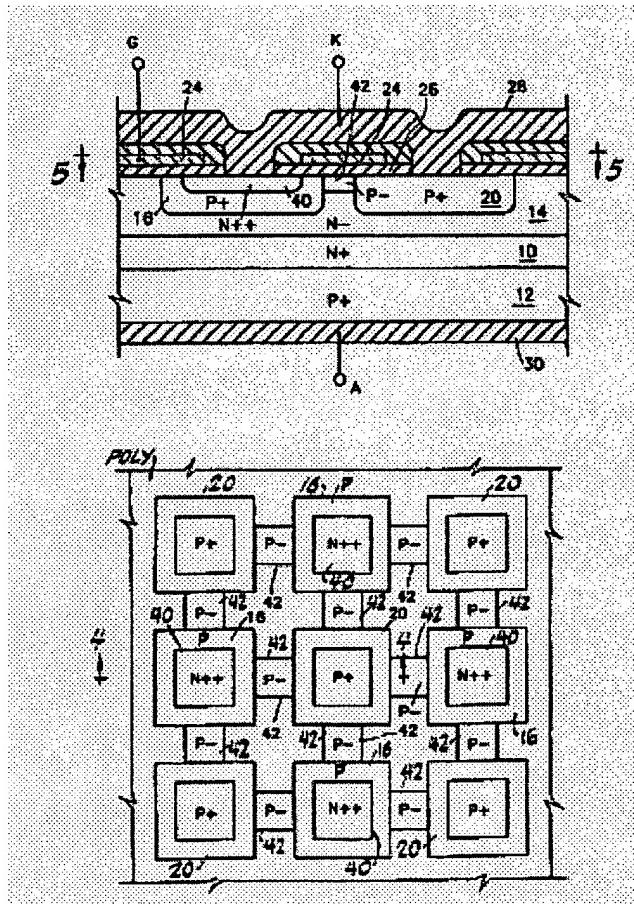
Patent number: DE19638381
Publication date: 1997-06-12
Inventor: AJIT JANARDHANAN S (US)
Applicant: INT RECTIFIER CORP (US)
Classification:
 - **International:** H01L29/745
 - **european:** H01L29/10C3, H01L29/745B, H01L29/749
Application number: DE19961038381 19960919
Priority number(s): US19950533768 19950926

Also published as:
 US5793066 (A1)
 GB2305777 (A)
 FR2739224 (A1)

Abstract not available for DE19638381

Abstract of correspondent: US5793066

An insulated gate base resistance controlled thyristor with a high controllable current capability is described. The device has a high density of MOS-channels modulating the resistance of the base region of the NPN transistor of the thyristor structure. The higher MOS channel density is achieved by contacting directly only the N++ emitter and the P+ cells (and not the P base region of the NPN transistor) to the cathode electrode. The N++ cells (i.e. the P base regions each containing an N++ emitter) and the P+ cells are connected in certain regions under the MOS gate by a P- region to provide a higher base resistance when a positive bias is applied to the MOS gate, thereby facilitating latching of the thyristor. The added MOS gate controlled base resistance between cells allows the P base cells to be designed with smaller dimensions for high maximum controllable current without affecting latch-up capability. The device is preferably provided in a checkerboard style cellular layout.



Data supplied from the esp@cenet database - Worldwide

⑩ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑪ Offenlegungsschrift
⑫ DE 196 38 381 A1

⑬ Int. Cl.:

H 01 L 29/745

DE 196 38 381 A1

⑭ Aktenzeichen: 196 38 381.1
⑮ Anmeldetag: 19. 9. 96
⑯ Offenlegungstag: 12. 6. 97

⑰ Unionspriorität: ② ③ ④

28.09.85 US 533768

⑱ Anmelder:

International Rectifier Corp., El Segundo, Calif., US

⑲ Vertreter:

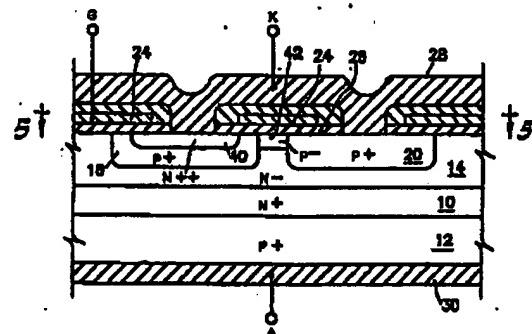
G. Koch und Kollegen, 80339 München

⑳ Erfinder:

Ajit, Janardhanan S., Sunnyvale, Calif., US

㉑ Basiswiderstand-gesteuerte Thyristorstruktur

㉒ Ein Basiswiderstand-gesteuerte Thyristor mit isoliertem Gate und einem hohen maximal steuerbaren Strom weist eine hohe Dichte von MOS-Kantzen auf, die den Widerstand des Basisbereiches des NPN-Transistor der Thyristorstruktur modulieren. Die höhere MOS-Kantzdichte wird dadurch erzielt, daß direkt lediglich die N⁺⁺-Emitter und die P⁺-Zellen (und nicht der P-Basisbereich des NPN-Transistor) mit der Kathodenkontakte (28) kontaktiert werden. Die N⁺⁺-Zellen (40) (d. h. die P-Basisbereiche, die jeweils einen N⁺⁺-Emitter enthalten) und die P⁺-Zellen (20) sind in bestimmten Bereichen unter dem MOS-Gate (24) durch einen P-Bereich (42) verbunden, um einen höheren Basiswiderstand zu liefern, wenn eine positive Vorspannung an das MOS-Gate angelegt wird, wodurch das Einsetzen des Thyristors erleichtert wird. Der zusätzliche MOS-Gate-gesteuerte Basiswiderstand zwischen den Zellen ermöglicht es den P-Basiszellen, mit kleineren Abmessungen für einen hohen maximal steuerbaren Strom ausgelegt zu werden, ohne daß die Einsteigegenschaften beeinflußt werden. Der Thyristor ist vorzugsweise mit einer schachbrettförmigen zellulären Auslegung versehen.



DE 196 38 381 A1

Die folgenden Angaben sind den vom Anmelder eingesetzten Unterlagen entnommen

BUNDESDRUCKEREI 04.97 702 024/833

21/22

Beschreibung

Die Erfindung bezieht sich auf Thyristoren mit isoliertem Gate und insbesondere auf einen Basiswiderstandsgesteuerten Thyristor mit isoliertem Gate mit einer hohe Dichte aufweisenden Auslegung für eine vergrößerte Stromkapazität.

Thyristoren mit isoliertem Gate sind für Hochspannungs-Leistungschaikanwendungen von großem Interesse. Allgemein besteht das Betriebsprinzip von Thyristoren mit isoliertem Gate darin, daß ein Einschaltzustands-Strom über einen Thyristorbereich fließen kann, der durch ein Signal abgeschaltet werden kann, das dem Gate einer MOS-Struktur zugeführt wird, die in die Thyristorstruktur integriert ist. Dieses Konzept hat die Vorteile eines niedrigen Durchlaßspannungsabfalls und einer einfachen Steuerung. Beispiele von Bauteilstrukturen, die diese Funktion erzielen, sind der MOS-gesteuerte Thyristor ("MCT"), wie er von V.A.K. Temple in der Veröffentlichung "MOS-Controlled Thyristors (MCTs)", IEEE Electron Device Meeting (IEDM) Technical Digest, Seiten 282–285, San Francisco, Dezember 1984 beschrieben ist, sowie der Basiswiderstandsgesteuerte Thyristor ("BRT"), wie er von M. Nandakumar et al. in der Veröffentlichung "The Base Resistance Controlled Thyristor (BRT): A new MOS Gated Power Thyristor", Proceedings of the ISPSD, Seiten 138–141, 1991 und in dem US-Patent 5 381 023 beschrieben ist.

Sowohl beim MCT als auch beim BRT wird ein p-Kanal-MOSFET zur Ableitung des Thyristorstromes zu einem geerdeten P⁺-Bereich verwendet, um den Thyristor abzuschalten. MCT-Bauteile haben dreifach diffundierte Strukturen, wobei der Abschalt-p-Kanal-MOSFET in den N-Emitterbereich integriert ist, was die Herstellung derartiger Bauteile schwierig macht. BRT-Bauteile weisen doppelt diffundierte Strukturen auf, wobei der Abschalt-p-Kanal-MOSFET in den N⁺-Basisbereich integriert ist.

Der maximal steuerbare Strom in MCT- und BRT-Bauteilen ist hauptsächlich durch den Widerstand des Abschalt-MOSFET-Kanals bestimmt. Um eine hohe maximale steuerbare Stromdichte zu erzielen, ist es wünschenswert, die Abschalt-p-Kanal-Dichte zu vergrößern. Dies kann dadurch erzielt werden, daß der Anteil des N⁺-Emitterbereiches an dem Gesamtzellbereich verringert wird. Bei dem bekannten BRT-Bauteil hängt die Einrast- oder Verriegelungsstromdichte (J_{latch}) von der Länge des N⁺-Emitters (L_{N⁺}) ab und ergibt sich aus der folgenden Gleichung:

$$2 \times V_{be}$$

$$J_{latch} = \frac{a_{pnp} P_{sh,pbase} L_{N⁺}^2}{c_{pnp} P_{sh,pbase} L_{N⁺}^2}$$

Damit die Thyristorstruktur einrastet oder verriegelt, sollte die Einraststromdichte niedriger als die Basissteuerung für den NPN-Transistor sein, die von der Struktur geliefert werden kann. Die Ladung in der P-Basis und damit der Flächenwiderstand der P-Basis (P_{sh,pbase}) ist durch Durchbruchsspannungserwägungen bestimmt, und der Flächenwiderstand kann nicht über einen bestimmten Wert hinaus vergrößert werden. Um eine niedrige Einraststromdichte zu erzielen, muß entsprechend die Länge des Emitters vergrößert werden. Hierdurch wird der Anteil des N⁺-Emitterbereiches

vergrößert und der Anteil der MOS-Kanalfläche bezogen auf den Gesamtzellbereich verkleinert, wodurch der maximal steuerbare Strom verringert wird. Somit wird ein niedriger Einraststrom in der BRT-Struktur lediglich durch Verzicht auf den maximal möglichen steuerbaren Strom erzielt. Dies legt eine Grenze für den maximal steuerbaren Strom fest, der mit der BRT-Struktur erzielbar ist.

Der Erfindung liegt entsprechend die Aufgabe zu grunde, ein Bauteil der eingangs genannten Art zu schaffen, das einerseits eine hohe maximal steuerbare Stromdichte und andererseits einen niedrigen Einraststrom aufweist und gleichzeitig einfach mit guter Prozeßsteuerung herzustellen ist.

Diese Aufgabe wird durch die im Patentanspruch 1 angegebenen Merkmale gelöst.

Vorteilhafte Ausgestaltungen und Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen.

Die vorliegende Erfindung löst die vorstehende Aufgabe dadurch, daß ein Thyristor mit isoliertem Gate, insbesondere eine Modifikation des BRT-Bauteils, mit einer Auslegung geschaffen wird, die eine hohe Dichte von MOS-Kanälen ermöglicht, was zu einem hohen maximal steuerbaren Strom führt.

Im einzelnen ist die vorliegende Erfindung durch ein Silizium-Halbleiterplättchen mit einer Vielzahl von mit Abstand voneinander angeordneten N⁺⁺-Zellen und mit mit Abstand angeordneten P⁺-Zellen gebildet, die schachbrettförmig über den Oberflächenbereich des Halbleiterplättchens ineinander verschachtelt sind, wobei jedes der N⁺⁺-Zellen von jeweiligen P⁺-Zellen umgeben ist. Eine jeweilige P⁺-Diffusion erstreckt sich zwischen benachbarten N⁺⁺-Zellen und P⁺-Zellen und verbindet diese.

Die N⁺⁺-Zellen schließen jeweils einen N⁺⁺-Emitterbereich ein, der mit Abstand von einem Rand eines zeilenförmigen Basisbereiches vom P-Leitungstyp angeordnet ist, um einen jeweiligen Kanal zu bilden. Ein Polysilizium-Gate ist über den Kanälen der N⁺⁺-Zellen und über dem Abstand zwischen benachbarten N⁺⁺-Zellen und P⁺-Zellen angeordnet.

Ein Kathodenkontakt ist mit den P⁺-Bereichen und den N⁺⁺-Emitterbereichen (jedoch nicht mit den P-Basisbereichen) verbunden. Ein Anodenkontakt ist mit der unteren P⁺⁺-Schicht verbunden. Der P-Basisbereich ist mit dem Kathodenkontakt lediglich über die einen hohen Widerstand aufweisende P⁺-Diffusion verbunden. Dies ermöglicht es, eine niedrige Einraststromdichte zu erzielen, ohne daß die Länge des N⁺⁺-Emitters vergrößert wird. Der Einraststrom bei dieser Struktur ist durch die folgende Gleichung gegeben:

$$V_{be}$$

$$J = \frac{a_{pnp} L_{N⁺} Z_{N⁺} P_{sh,p} L_p}{c_{pnp} L_{N⁺} Z_{N⁺} P_{sh,p} L_p}$$

Somit ist es möglich, bei dieser Struktur gleichzeitig einen niedrigen Einraststrom und einen hohen maximal steuerbaren Strom zu erzielen.

Alternativ ist bei einer Ausführungsform mit lateraler Leitung gemäß der Erfindung der Kathodenkontakt mit einer ersten Gruppe von benachbarten P⁺-Bereichen und N⁺⁺-Emitterbereichen verbunden, und der Anodenkontakt ist mit einer zweiten Gruppe von benach-

barten P⁺-Bereichen und N⁺⁺-Emitterbereichen verbunden, wobei der Anodenkontakt über dem Halbleiterplättchen in seitlicher Beziehung zum Katodenkontakt angeordnet ist und die ersten und zweiten Gruppen von benachbarten P⁺-Bereichen und N⁺⁺-Emitterbereichen jeweils getrennte jeweilige Gates aufweisen, wobei das Gate der ersten Gruppe von benachbarten P⁺-Bereichen und N⁺⁺-Emitterbereichen in gegenphasiger Beziehung zum Gate der zweiten Gruppe von benachbarten P⁺-Bereichen und N⁺⁺-Emitterbereichen betrieben wird.

Vorzugweise ist zur Vermeidung eines übermäßigen Stromdichteanstieges beim Abschalten eine Vielzahl von benachbarten P⁺-Zellen am Außenumfang des Halbleiterplättchens angeordnet.

Die vorliegende Erfindung erzielt aufgrund der vorstehenden Struktur eine höhere MOS-Kanaldichte, weil im Gegensatz zu dem bekannten BRT der P-Basisbereich des Bauteils der vorliegenden Erfindung mit der Kathodenelektrode lediglich über einen P⁻-Bereich verbunden ist, dessen Widerstand durch die MOS-Gate-Spannung moduliert ist. Der die N⁺⁺-Zellen und die P⁺-Zellen verbindende P⁻-Bereich ergibt einen höheren Basiswiderstand, wenn eine positive Vorspannung an das Gate angelegt wird, wodurch das Einrasten oder Verriegeln des Thyristors erleichtert wird. Der P⁻-Bereich ergibt einen einen niedrigen Widerstand aufweisenden Abschaltstrompfad, wenn eine negative Vorspannung an das Gate angelegt wird. Der zusätzliche MOS-Gate-gesteuerte Basiswiderstand zwischen den Zellen ermöglicht es, daß die N⁺⁺-Zellen mit kleineren Abmessungen ausgebildet werden können, ohne daß die Einrastfähigkeit beeinflußt wird.

Ausführungsbeispiele der Erfindung werden im folgenden anhand der Zeichnungen noch näher erläutert.

In der Zeichnung zeigen:

Fig. 1 einen Querschnitt durch Fig. 2 entlang der Schnittlinien 1-1 nach Fig. 2, wobei ein bekanntes BRT-Bauteil dargestellt ist,

Fig. 2 eine Querschnittsansicht von oben auf Fig. 1, die die zellenförmige Auslegung eines bekannten BRT-Bauteils zeigt,

Fig. 3 ein Äquivalenzschaltbild des bekannten BRT-Bauteils nach den Fig. 1 und 2,

Fig. 4A eine dreidimensionale Ansicht der modifizierten BRT-Struktur gemäß der vorliegenden Erfindung,

Fig. 4B einem Querschnitt der Fig. 5 entlang der Schnittlinien 4-4 nach Fig. 5, wobei ein modifiziertes BRT-Bauteil gemäß der vorliegenden Erfindung mit einem P⁻-Bereich gezeigt ist, der eine Brücke zwischen einer N⁺⁺-Zelle und einer P⁺-Zelle bildet,

Fig. 4C ein Äquivalenzschaltbild der vorliegenden Erfindung,

Fig. 5 eine Querschnittsansicht von oben auf Fig. 4, die die zellenförmige Auslegung eines modifizierten BRT-Bauteils zeigt, das gemäß der vorliegenden Erfindung ausgebildet ist, wobei P⁻-Bereiche eine Brücke zwischen den N⁺⁺-Zellen und den P⁺-Zellen bilden,

Fig. 6 die Auslegung der vorliegenden Erfindung am Rand des Halbleiterplättchens,

Fig. 7 die Kirschstromflußlinien in einer Einheitszelle der vorliegenden Erfindung, die aus Bauteilimulationen gewonnen wurden,

Fig. 8A und 8B Elektronen- bzw. Löcher-Konzentrations-Konturen im eingeschalteten Zustand des Bauteils der vorliegenden Erfindung,

Fig. 9 eine Querschnittsansicht des Bauteils der vorliegenden Erfindung in einer lateralen Ausführung,

Fig. 10 die BRT-Struktur in einer Ausführungsform der Erfindung, bei der das Gate nicht alle Kanten des N⁺⁺-Emitters überlappt,

Fig. 11 eine bevorzugte Auslegung für die Struktur nach Fig. 10,

Fig. 12 die Bauteilstruktur einer weiteren Ausführungsform der Erfindung,

Fig. 13 eine bevorzugte Auslegung für die Struktur nach Fig. 12,

Fig. 14 die Bauteilstruktur einer weiteren anderen Ausführungsform der Erfindung,

Fig. 15 eine bevorzugte Auslegung für die Struktur nach Fig. 14, und

Fig. 16 eine Ausführungsform mit einem grabenförmigen Gate der neuartigen Bauteilstruktur.

In Fig. 1 ist zunächst eine bekannte BRT-Bauteilstruktur gezeigt. Das BRT-Bauteil besteht aus einem einzigen Thyristorbereich 2 mit einem p-Kanal-MOS-FET 4 benachbart zu diesem. Im einzelnen ist, wie dies in Fig. 1 gezeigt ist, der BRT auf einem Siliziumhalbleiterplättchen ausgebildet, das eine N-Schicht 10, eine darunterliegende P⁺⁺-Schicht 12 und eine darüberliegende N⁻-Epitaxialschicht 14 einschließt. In die N⁻-Epitaxialschicht 14 ist ein P-Basisbereich 16, der mit einem ringförmigen N⁺⁺-Bereich 18 versehen ist, und ein P⁺-Bereich 20 ohne einen N⁺⁺-Bereich eindiffundiert.

Der BRT ist ein vierseitiges P-N-P-N-Bauteil ähnlich dem bipolaren Transistor mit isofierterem Gate (IGBT). Ähnlich wie der IGBT ist der BRT typischerweise durch einen doppelt diffundierten MOS-(DMOS-)Prozeß hergestellt und in einer zellulären Konfiguration ausgebildet, wie dies in Fig. 2 gezeigt ist. Im Gegensatz zum IGBT enthält jedoch lediglich eine Hälfte der P-Bereiche auf der oberen Oberfläche des BRT einen N⁺⁺-Bereich.

Der BRT unterscheidet sich weiterhin von dem IGBT dadurch, daß der P-Basisbereich 16, der den N⁺⁺-Bereich 18 enthält, weniger stark dotiert ist, so daß der Widerstand des Basisbereiches des BRT um ungefähr eine Größenordnung höher ist (daher der Ausdruck "Basiswiderstand-gesteuerter Thyristor"). Wie dies weiter unten erläutert wird, vergrößert dies die Verstärkung des NPN-Transistors des Thyristors und fördert ein Einrasten oder Verriegeln (was normalerweise bei IGBT-Bauteilen vermieden wird).

Unter weiterer Bezugnahme auf Fig. 1 ist zu erkennen, daß der N⁺⁺-Bereich 18 mit radialem Abstand von der lateralen Kante der P-Basis 16 angeordnet ist, um einen n-Kanalbereich 22 zu bilden. Eine Polysiliziumschicht 24 liegt über dem Kanalbereich 22 und dem Teil 23 der N⁻-Epitaxialschicht 14, der sich nach oben zur oberen Oberfläche des Silizium-Halbleiterplättchens zwischen dem P-Basisbereich 16 und dem P-Basisbereich 20 erstreckt. Die Polysiliziumschicht 24 ist von der oberen Oberfläche des Silizium-Halbleiterplättchens durch eine dünne Schicht 26 aus Gateoxid getrennt. Eine obere Metallschicht 28 verbindet jeden N⁺⁺-Bereich 18, den P-Basisbereich 16 und den P⁺-Bereich 20 mit einem gemeinsamen Kathodenknoten K. Die Polysilizium-Gateschicht 24 erstreckt sich über die Oberfläche des Bauteils mit einer Öffnung an jeder Zelle (für Source- und Hauptteil-Diffusion und -kontakt), um eine gemeinsame Gateelektrode zu bilden, die mit einem Gateknoten G₁ verbunden ist. Eine ununterbrochene Metallschicht 30 ist auf der unteren Oberfläche des Bauteils angeordnet, um eine untere Anodenelektrode A zu bilden. Bei erneuter Bezugnahme auf die Draufsicht von oben gemäß Fig. 2 ist zu erkennen, daß die Zellen des

P-Bereiches 16 (Zellen mit einem N⁺⁺-Bereich 18) und die des P⁺-Bereiches 20 (Zellen ohne einen N⁺⁺-Bereich 18) in einer rechteckigen Topologie und in einem abwechselnden Schachbrett muster angeordnet sind. Obwohl eine quadratische Struktur in Fig. 1 gezeigt ist, sind BRT-Bauteile mit einer anderen vieleckigen Struktur, z. B. einem Achteck gemäß dem US-Patent 5 381 025, gut bekannt.

In Fig. 3 ist die Äquivalenzschaltung des BRT-Bauteils gezeigt. Jede Zelle des BRT mit einem N⁺⁺-Bereich 18 schließt einen n-Kanal-MOSFET 32, einen PNP-Transistor 34, einen NPN-Transistor 36 und einen Widerstand R_b (den Widerstand des Basisbereiches) ein. Jede Zelle ohne einen N⁺⁺-Bereich 18 schließt einen vertikalen PNP-Transistor 38 ein. Ein P-Kanal-MOSFET 4 überbrückt die beiden verschiedenen Zellen.

Der PNP-Transistor 34 weist einen durch die P⁺⁺-Schicht 12 gebildeten Emitter, eine durch die N-Schicht 10 und die N⁻-Epi-Schicht 14 gebildete Basis und einen durch die P-Basis 16 gebildeten Kollektor auf. Der PNP-Transistor 36 weist einen durch die P⁺⁺-Schicht 12 gebildeten Emitter, eine durch die N-Schicht 10 und die N⁻-Epi-Schicht 14 gebildete Basis und einen durch den P⁺-Bereich gebildeten Kollektor auf. Der P-Kanal-MOSFET 4 weist eine durch die P-Basis definierte Source, eine durch den P⁺-Bereich 20 gebildeten Drain und einen durch den Bereich 23 der N⁻-Epi-Schicht 14 gebildeten Kanalbereich auf, der unter dem Polysilizium-Gate 24 liegt.

Im Betrieb des bekannten BRT-Bauteils nach den Fig. 1 bis 3 wird bei Anlegen einer positiven Spannung an das Gate 24 der n-Kanal-MOSFET 32 eingeschaltet, so daß ein Thyristorstrom nach oben durch das Bauteil fließen kann, wie dies in Fig. 1 gezeigt ist. Das Bauteil weist IGBT-artige Eigenschaften bei niedrigen Strompegeln auf. Unter diesen Bedingungen fließt der Löcherstrom seitlich durch den P-Basisbereich 16 zum Emitterkurzschluß (Kathode), wodurch ein Spannungsabfall hervorgerufen wird, der die Emitter-Basis-Grenzschicht in Durchlaßrichtung vorspannt. Bei höheren Strompegeln ist dieser Spannungsabfall ausreichend, um eine Elektroneneinjektion von dem N⁺⁺-Emitter 18 hervorzurufen, was zu einem Einrasten des Thyristors führt. Die Länge des Emitters, die den Basiswiderstand R_b bestimmt, steuert die Trigger- und Haltestrome des Bauteils. Sobald der Thyristor im eingeschalteten Zustand eingerastet ist, kann die Gatevorspannung entfernt werden, und der Strom im eingeschalteten Zustand fließt weiterhin in dem Thyristorabschnitt mit niedrigem Durchlaßspannungsabfall.

Das Abschalten des BRT wird dadurch erreicht, daß eine negative Vorspannung an das Gate 24 angelegt wird, wodurch der p-Kanal-MOSFET an der Oberfläche des n-Driftbereiches eingeschaltet wird. Löcher werden von dem P-Basisbereich 16 des Thyristors in den benachbarten P⁺-Bereich 20 abgeleitet, der mit der Kathode verbunden ist. Damit bildet der p-Kanal-MOSFET 4 einen Pfad mit niedrigem Widerstand zwischen der P-Basis 16 und der Kathode für den Fluß des Löcherstromes aus. Dies ist äquivalent zu einer Verringerung des Basiswiderstandes R_b, was dazu führt, daß der Haltestrom des Thyristors über den Betriebsstrompegel hinaus erhöht wird. Die Durchlaßvorspannung an der Emitter-Basis-Grenzschicht wird verringert, wodurch die regenerative Wirkung unterbrochen und ein Abschalten des Thyristors hervorgerufen wird. Sobald das Abschalten eingeleitet wird, sinkt der Anodenstrom in einer endlichen Zeit ab, die durch die Beseitigung der

gespeicherten Minoritätsstragerladung aus dem Driftbereich bestimmt ist.

Wie dies weiter oben erwähnt wurde, ist der maximale steuerbare Strom in dem BRT hauptsächlich durch den Widerstand des Abschalt-MOSFET-Kanals bestimmt. Die vorliegende Erfindung ist darauf gerichtet, den Einschaltwiderstand des Abschalt-p-Kanal-MOSFET's 4 durch Vergrößern der Kanaldichte zu einem Minimum zu machen. Dies wird dadurch erzielt, daß der P-Basis-Bereich in bestimmten Bereichen unter dem Polysilizium-Gate 24 mit einem P⁻-Bereich zur P⁺-Kathode verbunden wird.

Im Einzelnen ist in Fig. 4 eine Querschnittsansicht der modifizierten BRT-Konstruktion gemäß der vorliegenden Erfindung gezeigt, wobei gleiche Elemente (wie die bekannte BRT-Struktur nach Fig. 1) mit gleichen Bezugsziffern bezeichnet sind. Wie dies in Fig. 5 gezeigt ist, weist das modifizierte BRT-Bauteil gemäß der vorliegenden Erfindung ähnlich wie das bekannte BRT-Bauteil eine Auslegung mit einer Vielzahl von Zellen in einem schachbrettförmigen Muster von N⁺⁺-Zellen und P⁺-Quadranten auf.

Von Bedeutung ist hierbei jedoch, daß im Gegensatz zu dem bekannten BRT nach den Fig. 1 bis 3 der P-Basisbereich 16 nicht mit der Kathodenelektrode 28 in Kontakt steht, d. h., die vorliegende Erfindung weist einen massiven N⁺⁺-Bereich 40 (ein massives Quadrat in der Ausführungsform nach den Fig. 4 und 5) anstelle eines ringförmigen Bereiches auf, der einen Teil der P-Basis umgibt, die mit der Kathodenelektrode in Kontakt steht. Bei der vorliegenden Erfindung ist die P⁺-Basis mit der Kathodenelektrode lediglich durch einen P⁻-Bereich 42 verbunden, dessen Widerstand MOS-Gate gesteuert ist, wie dies in den Fig. 4 und 5 gezeigt ist. Dies ermöglicht eine kleinere Zellenabmessung und die Ausbildung einer höheren MOS-Kanaldichte.

Eine positive Vorspannung an dem Gate verarmt den P⁻-Bereich 42, um einen großen Basiswiderstand zum Einrasten des Thyristors zu erzielen. Zum Abschalten wird die Gatespannung von einem positiven auf einen negativen Wert verringert, um eine Ansammlung von Löchern in dem P⁻-Bereich 42 hervorzurufen.

Eine Inversionsschicht von Löchern wird außerdem in dem N⁻-Diagonalgrenzbereich zwischen Zellen ausgebildet. Hierdurch wird der Basiswiderstand verringert, wodurch ein niedriger Widerstand aufweisender Pfad gebildet wird, der die Löcher ableitet, um den Thyristor aus dem Einrastzustand herauszubringen. Ein niedriger Kanalwiderstand für den Abschalt-p-Kanal-MOSFET bei dieser Konstruktion führt zu einer hohen steuerbaren Stromstärke.

In den Begrenzungsbereichen des Halbleiterplättchens ergibt sich eine höhere Stromdichte während des Abschaltens aufgrund der lateralen Spreizung des Trägerplasmas während des Einschaltzustandes der Thyristorstruktur, ähnlich wie dies bei MCT-Bauteilen auftritt, wie dies von H. Lendenmann et al in der Veröffentlichung "Approaching homogeneous switching of MCT devices: Experiment and Simulation", Proceedings of the ISPSD, Seiten 66–70, 1993 beschrieben ist. Entsprechend sind gemäß Fig. 6 die Randzellen des Bauteils gemäß der vorliegenden Erfindung vorzugsweise alle P⁺-Zellen, um eine zu hohe Stromdichte während des Abschaltens zu vermeiden, so daß ein hoher steuerbarer Strom für eine große Halbleiterplättchengröße erzielt wird.

Die Einschaltstromflußtimen, die aus Simulationen des Bauteils gemäß der vorliegenden Erfindung gewon-

nen wurden, sind in Fig. 7 gezeigt. Es ist zu erkennen, daß der größte Teil des Stroms durch den Thyristorbereich fließt, wobei ein kleiner Teil des Stromes durch den PNP-Bereich fließt. Die Elektronen- und Löcherkonzentrations-Konturen im Einschaltzustand für das Bauteil sind in den Fig. 8A bzw. 8B gezeigt. Es ist aus diesen Figuren zu erkennen, daß der gesamte N⁻-Bereich unterhalb einer Tiefe von 2 µm von der Oberfläche des Bauteils leitfähigkeitsmodifiziert ist, und daß nahezu der gesamte N⁻-Driftbereich in vorteilhafter Weise für die Stromleitung verwendet wird.

Das Bauteil gemäß der vorliegenden Erfindung wird unter Verwendung eines doppeldiffundierten DMOS-Verfahrens hergestellt.

Die erste Maske wird zur Festlegung des aktiven Bereichs des Bauteils verwendet. Eine Anreicherungs-Implantation von Phosphor mit einer Dosis von 1,5e12 cm⁻² bei 50 KeV wird dann optional durchgeführt. Eine Photoabdecklack-Maske wird dann zur Festlegung der P⁻-Implantationsbereiche gefolgt von einer Implantation einer Bordosis von 5e12 cm⁻² bei 30 KeV verwendet. Hierauf folgt ein Wachstum von Gateoxid (500 Å). Hierauf folgt die Abscheidung und Mustergabeung von Polysilizium unter Verwendung einer dritten Maske. Die P⁺-Basisbereiche und die P⁺-Bereiche werden unter Selbstaussrichtung mit dem Polysilizium durch eine Borimplantation von 2e14 cm⁻² bei 50 KeV gebildet. Die nächste Maske wird zur Ausbildung der N⁺⁺-Emitterbereiche verwendet. Hierauf folgt eine Niedertemperaturoxidscheidung und ein Öffnen der Kontaktfenster unter Verwendung einer fünften Maske. Metall (Aluminium) wird dann abgeschieden und unter Verwendung einer sechsten Maske mit einem Muster versehen. Ein Passivierungsmaterial wird dann abgeschieden und unter Verwendung einer siebten Maske mit einem Muster versehen. Die letzte Stufe des Verfahrens besteht in einem Schleifen eines Teils des rückzeitigen Substrats und der Abscheidung von Rückseitenmetall.

Obwohl die vorliegende Erfindung in einer quadratischen zellenförmigen Konfiguration zur Vereinfachung und Erleichterung der Erläuterung gezeigt ist, ist es für den Fachmann zu erkennen, daß ähnlich wie das BRT-Bauteil und andere Leistungshalbleiterbauteile die vorliegende Erfindung in Form von anderen vieleckigen Konfigurationen ausgebildet werden kann. Tatsächlich zeigen in der vorstehend erwähnten Weise Bauteilsimulationen, daß nahezu der gesamte N⁻-Driftbereich für die Stromleitung verwendet wird, obwohl der N⁺⁺-Emitter lediglich 50% des gesamten aktiven Bereiches einnimmt. Dies zeigt, daß der N⁺⁺-Bereich hinsichtlich seiner Größe ohne einen Anstieg des Einschaltzustands-Spannungsabfalls verringert werden kann, um die P⁺-Zellflächen-/Kanalichte zu vergrößern, damit sich eine Vergrößerung des maximal steuerbaren Stromes ergibt. Eine hexagonale Zellenausdehnung analog zu der, die in dem US-Patent 5 008 725 gezeigt ist (deren Offenbarung durch diese Bezugnahme hier mit aufgenommen wird), wobei jede N⁺⁺-Zelle von 6P⁺-Zellen umgeben ist (mit P⁺- zu N⁺⁺-Zellen in dem Verhältnis von 3 : 1), würde die Abschalt-Kanalichte gegenüber der quadratisch-zellenförmigen Konstruktion vergrößern.

Bei dem Bauteil nach den Fig. 4 und 5 würde eine beispielhafte Konstruktion einen Zellenteilung von ungefähr 8 µm und eine Polysilizium-Zellenbreite von ungefähr 3 µm haben. Die P⁺-Basis und P⁺-Bereich haben vorzugsweise eine Tiefe von 1,0 bis 1,5 µm, und die

N⁺⁺-Bereiche haben eine Tiefe von ungefähr 0,3 µm.

In Fig. 5 ist ein laterales Gegenstück zu dem Bauteil nach den Fig. 4 und 5 gezeigt, wobei die N⁻-Schicht 114 eine Vielzahl von mit Abstand voneinander angeordneten P-Basisbereichen 111 bis 114 aufnimmt, die über die Oberfläche des Halbleiterplättchens verteilt sind. P⁺-Bereiche 115 und 116 sind zwischen P⁺-Basisbereichen 111 bis 112 bzw. 113 bis 114 angeordnet und mit diesen über P⁻-Bereiche 117 bis 118 bzw. 119 bis 120 verbunden. Die P⁺-Basisbereiche 111 bis 114 nehmen jeweilige N⁺⁺-Sourcebereiche 121 bis 124 auf.

Polysilizium-Gatessegmente liegen über Gateoxidschichten, wie dies gezeigt ist, und alle in den P-Basisbereichen 111 und 112 gebildeten Gates für die Kanäle sind miteinander am Anschluß G₁ verbunden. In ähnlicher Weise sind die Polysilizium-Gates für die in den P-Basisbereichen 113 und 114 ausgebildeten Kanäle miteinander am Gate G₂ verbunden.

Ein erster Aluminiumkontakt 130 liegt über den Kanälen der P-Basisbereiche 111 und 112 und steht mit den N⁺⁺-Bereichen 121 und 122 und den P⁺-Bereichen 115 in Kontakt. Der Kontakt 130 ist von den Polysilizium-Gateelektroden durch ein geeignetes Zwischenschicht-oxid isoliert. In ähnlicher Weise liegt ein zweiter Aluminiumkontakt 131 über den in den P-Basisbereichen 113 und 114 ausgebildeten Kanälen und steht mit den N⁺⁺-Bereichen 123 und 124 und dem P⁺-Bereich 116 in Kontakt.

Die Betriebsweise des Bauteils nach Fig. 9 ist ähnlich dem nach den Fig. 4 und 5. So entsprechen die Anschlüsse T₁ und T₂ den Anschlüssen K bzw. A in Fig. 4. In Fig. 9 wandern die Löcher jedoch im Betrieb lateral, beispielsweise von dem P-Basisbereich 112 zu den P-Basisbereichen 113 und 116.

Weiterhin stehen die Gates G₁ und G₂ in gegenphasiger Beziehung zueinander, um eine bidirektionale Thyristorwirkung zu erzielen. So wird zum Einschalten des Bauteils nach Fig. 1 das Gate G₁ negativ gemacht, während das Gate G₂ positiv gemacht wird. Um das Bauteil abzuschalten, wird das Gate G₁ positiv gemacht, während das Gate G₂ negativ gemacht wird.

Bei dem bekannten BRT-Bauteil und bei den vorstehend beschriebenen Ausführungsformen der vorliegenden Erfindung ergibt sich von Natur aus ein lateraler PNP-Transistor in der Struktur, der aus der P⁺-Basis als Emitter, dem N-Bereich als Basis und der P⁺-Kathode als Kollektor besteht. Die Basisansteuerung für diesen lateralen PNP-Transistor ergibt sich aus Elektronen von dem N⁺⁺-Emitter. Dieser laterale PNP-Transistor ruft zwei unerwünschte Wirkungen hervor:

- 1) er bildet einen Nebenschluß für die Basisansteuerung für den NPN-Transistor, wodurch der Einschalt-Spannungsabfall in dem Bauteil vergrößert wird, und
- 2) er ruft eine starke Injektion von Trägern in den N⁻-Bereich zwischen Zellendiffusionen hervor. Das Vorhandensein einer hohen Konzentration von Trägern in dem N⁻-Bereich an der Oberfläche macht es schwierig, diese Ladung zu verarmen und einen Inversions-p-Kanal unter Verwendung des MOS-Gates zu bilden. Hierdurch werden die Abschaltstromeigenschaften des Bauteils verringert. Die Wirkung des lateralen PNP-Transistors kann dadurch verringert werden, daß der N⁺⁺-Emitter einwärts von dem Polysiliziumgate in manchen Bereichen gebracht wird, wie dies in Fig. 10 gezeigt ist. Die Auslegung einer derartigen Struktur ist in

Fig. 11 gezeigt.

Eine modifizierte Struktur, bei der die P-Basis im Einschaltzustand über eine Metallbrücke und einen n-Kanal-DMOS auf ein höheres Potential vorgespannt wird, ist in Fig. 12 gezeigt. Bei dieser Struktur wird der NPN-Transistor vor dem PNP-Transistor eingeschaltet. Das Einschalten erfolgt unter Verwendung eines positiven Gate-Spannungsimpulses. Das Anlegen einer positiven Spannung an das Gate 124 schaltet das n-Kanal-DMOS ein, das die P-Basis 116 mit dem Anodenpotential über eine Metallbrücke (Kontaktstopfen 142) und das n-Kanal-DMOS verbindet. Wenn die Anodenspannung vergrößert wird, steigt das Potential der P-Basis 116 an, und wenn das P-Basispotential zu 0,7 Volt wird, schaltet der NPN-Transistor ein, wodurch Elektronen in den N-Driftbereich 114 injiziert werden. Diese Elektronen liefern die Basisansteuerung für den PNP-Transistor, wodurch der NPN-Transistor aktiviert und entsprechend der Thyristor eingerastet wird. Es sei bemerkt, daß bei dieser Bauteilstruktur die P-Basis/N-Driftbereichs-Grenzschicht in der Nähe des MOS-Gates in Sperrrichtung vorgespannt ist, so daß keine Träger in dieser Richtung injiziert werden.

Das Bauteil nach Fig. 12 kann durch Anlegen eines negativen Gateimpulses abgeschaltet werden, um einen p-Kanal-MOSFET zu bilden, der die P⁺-Basis 116 mit der P⁺-Kathode 120 verbindet. Das Fehlen von überschüssigen Trägern unter dem MOS-Gate 124 macht die Ausbildung eines Inversions-p-Kanals bei dieser Struktur einfacher. Eine mögliche Auslegung dieser Struktur ist in Fig. 13 gezeigt. Eine Modifikation dieser Struktur und ihrer Auslegung ist in den Fig. 14 bzw. 15 gezeigt.

Obwohl die vorliegende Erfindung anhand spezieller Ausführungsformen hier von beschrieben wurde, sind vielfältige andere Abänderungen (wie die Verwendung eines grabenförmigen Gates gemäß Fig. 16) sowie Modifikationen und andere Anwendungen für den Fachmann ohne weiteres zu erkennen.

Patentansprüche

1. Thyristor mit isoliertem Gate, mit einem Silizium-Halbleiterplättchen, dadurch gekennzeichnet, daß das Silizium-Halbleiterplättchen:
eine untere Schicht (12) mit einer P⁺-Konzentration,
eins über der unteren Schicht (12) angeordnete Schicht (10) mit einer N-Konzentration,
eine über der N⁺-Schicht (10) angeordnete N⁻-Schicht (14),
eine Vielzahl von mit Abstand angeordneten N⁺⁺-Zellen (40), die symmetrisch über den Oberflächenbereich der N⁻-Schicht (14) verteilt sind, wobei die N⁺⁺-Zellen (40) jeweils einen N⁺⁺-Emitterbereich enthalten, der in einem zellularen Basisbereich (16) vom P-Typ enthalten und mit Abstand von dessen Rand angeordnet ist, um einen jeweiligen Kanal zu bilden,
eine Vielzahl von mit Abstand voneinander angeordneten P-Zellen (20), die symmetrisch über den Oberflächenbereich der N⁻-Schicht (14) verteilt sind, und
eine Vielzahl von P⁻-Diffusionen (42) aufweist, die sich zwischen benachbarten N⁺⁺-Zellen (40) und P⁺-Zellen (20) erstrecken.
2. Thyristor nach Anspruch 1, dadurch gekenn-

- zeichnet, daß die N⁺⁺-Zellen (40) schachbrettförmig mit den P⁺-Zellen (20) verschachtelt sind, so daß jede der N⁺⁺-Zellen (40) von jeweiligen P⁺-Zellen (20) umgeben ist und mit diesen über jeweilige der P⁻-Diffusionen (42) verbunden ist.
3. Thyristor nach Anspruch 1 oder 2, gekennzeichnet durch Gate-Einrichtungen (24), die über den Kanälen der N⁺⁺-Zellen (40) und über dem Raum zwischen benachbarten N⁺⁺-Zellen (40) und P⁺-Zellen (20) angeordnet sind.
 4. Thyristor nach einem der vorhergehenden Ansprüche, gekennzeichnet durch einen Kathodenkontakt (28), der mit den P⁺-Zellen und den N⁺⁺-Emitterbereichen verbunden ist.
 5. Thyristor nach einem der vorhergehenden Ansprüche, gekennzeichnet durch einen Anodenkontakt (30), der mit der unteren P⁺⁺-Schicht verbunden ist.
 6. Thyristor nach Anspruch 4, dadurch gekennzeichnet, daß der Kathodenkontakt mit einer ersten Gruppe von benachbarten der P⁺-Zellen und der N⁺⁺-Emitterbereiche verbunden ist, daß weiterhin ein Anodenkontakt vorgesehen ist, der mit einer zweiten Gruppe von benachbarten der P⁺-Zellen und der N⁺⁺-Emitterbereiche verbunden ist, daß der Anodenkontakt auf der Oberseite des Halbleiterplättchens in seitlicher Beziehung zu dem Kathodenkontakt angeordnet ist, daß die ersten und zweiten Gruppen von benachbarten P⁺-Zellen und N⁺⁺-Emitterbereichen jeweils getrennte jeweilige Gateeinrichtungen aufweisen, und daß die Gateeinrichtungen der ersten Gruppe von benachbarten P⁺-Zellen und N⁺⁺-Emitterbereichen gegenphasig zu den Gateeinrichtungen der zweiten Gruppe von benachbarten P⁺-Zellen und N⁺⁺-Emitterbereichen betrieben werden.
 7. Thyristor nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß eine Vielzahl von benachbarten P⁺-Zellen am Außenumfang des Halbleiterplättchens angeordnet ist.
 8. Thyristor mit isoliertem Gate, mit einem Silizium-Halbleiterplättchen, dadurch gekennzeichnet, daß das Silizium-Halbleiterplättchen:
eine untere Schicht mit einer P⁺-Konzentration, eine über der unteren Schicht angeordnete Schicht mit einer N-Konzentration, eine über der N⁺-Schicht angeordnete N⁻-Schicht, eine Vielzahl von mit Abstand angeordneten N⁺⁺-Zellen, die symmetrisch über den Oberflächenbereich der N⁻-Schicht verteilt sind, wobei die N⁺⁺-Zellen jeweils einen N⁺⁺-Emitterbereich enthalten, der in einem zellularen Basisbereich vom P-Typ enthalten und mit Abstand von dessen Rand angeordnet ist, um einen jeweiligen Kanal im ausgewählten Bereichen des Bauteils zu bilden, eine Vielzahl von mit Abstand voneinander angeordneten P-Zellen, die symmetrisch über den Oberflächenbereich der N⁻-Schicht verteilt sind, und eine Vielzahl von P⁻-Diffusionen aufweist, die sich zwischen benachbarten N⁺⁺-Zellen und P⁺-Zellen erstrecken.
 9. Thyristor nach Anspruch 8, dadurch gekennzeichnet, daß die N⁺⁺-Zellen schachbrettförmig mit den P⁺-Zellen verschachtelt sind, so daß jede der N⁺⁺-Zellen von jeweiligen P⁺-Zellen umgeben ist und mit diesen über jeweilige der P⁻-Diffusionen verbunden ist.

10. Thyristor nach Anspruch 9, gekennzeichnet durch Gate-Einrichtungen, die über den Kanälen der N⁺⁺-Zellen und über dem Raum zwischen benachbarten N⁺⁺-Zellen und P⁺-Zellen angeordnet sind. 5
11. Thyristor nach Anspruch 10, gekennzeichnet durch einen Kathodenkontakt, der mit den P⁺-Zellen und den N⁺⁺-Emitterbereichen verbunden ist. 10
12. Thyristor nach Anspruch 11, gekennzeichnet durch einen Anodenkontakt, der mit der unteren P⁺⁺-Schicht verbunden ist. 15
13. Thyristor nach Anspruch 11, dadurch gekennzeichnet, daß der Kathodenkontakt mit einer ersten Gruppe von benachbarten der P⁺-Zellen und der N⁺⁺-Emitterbereiche verbunden ist, daß weiterhin ein Anodenkontakt vorgesehen ist, der mit einer zweiten Gruppe von benachbarten der P⁺-Zellen und den N⁺⁺-Emitterbereichen verbunden ist, daß der Anodenkontakt auf der Oberseite des Halbleiterplättchens in seitlicher Beziehung zu dem Kathodenkontakt angeordnet ist, daß die ersten und zweiten Gruppen von benachbarten P⁺-Zellen und N⁺⁺-Emitterbereichen jeweils getrennte jeweilige Gateeinrichtungen aufweisen, und daß die Gateeinrichtungen der ersten Gruppe von benachbarten P⁺-Zellen und N⁺⁺-Emitterbereichen gegenphasig zu den Gateeinrichtungen der zweiten Gruppe von benachbarten P⁺-Zellen und N⁺⁺-Emitterbereichen betrieben werden. 20
14. Thyristor nach Anspruch 9, dadurch gekennzeichnet, daß eine Vielzahl von benachbarten P⁺-Zellen am Außenumfang des Halbleiterplättchens angeordnet ist. 25
15. Thyristor mit isoliertem Gate, mit einem Silizium-Halbleiterplättchen, dadurch gekennzeichnet, daß das Silizium-Halbleiterplättchen: eine untere Schicht (112) mit einer P⁺-Konzentration, eine über der unteren Schicht (112) angeordnete Schicht (110) mit einer N-Konzentration, eine über der N⁺-Schicht (110) angeordnete N⁻-Schicht (114), 30
- eine Vielzahl von mit Abstand voneinander angeordneten N⁺⁺-Thyristorzellen, die symmetrisch über den Oberflächenbereich der N⁻-Schicht (114) verteilt sind, wobei die Thyristorzellen jeweils einen N⁺⁺-Emitterbereich (140) aufweisen, der in einem zellularen Basisbereich (116) vom P-Leitungstyp angeordnet und mit Abstand von einem Rand dieses Basisbereichs angeordnet ist, wobei die Thyristorzellen weiterhin einen N⁺⁺-Sourcebereich (144) aufweisen, der mit dem Basisbereich (116) von P-Leitungstyp durch einen Kontaktstopfen (142) an einem Ende kurzgeschlossen ist und mit Abstand von einem Rand des Basisbereichs (116) vom P-Leitungstyp angeordnet ist, um einen jeweiligen Kanal zu bilden, und 35
- eine Vielzahl von mit Abstand voneinander angeordneten P⁺-Zellen (120) aufweist, die symmetrisch über den Oberflächenbereich der N⁻-Schicht (114) verteilt sind. 40
16. Thyristor nach Anspruch 15, dadurch gekennzeichnet, daß die Thyristorzellen (116, 140, 144) schachbrettförmig mit den P⁺-Zellen (120) verschachtelt sind, so daß jede der Thyristorzellen von jeweiligen P⁺-Zellen umgeben ist. 45
17. Thyristor nach Anspruch 15 oder 16, gekennzeichnet durch Gateeinrichtungen (124), die über 50

- den Kanälen der Thyristorzellen und über dem Raum zwischen benachbarten Thyristorzellen und P⁺-Zellen angeordnet sind. 5
18. Thyristor nach einem der Ansprüche 15 bis 17, gekennzeichnet durch einen Kathodenkontakt (128), der mit den P⁺-Zellen (120) und den N⁺⁺-Emitterbereichen (140) verbunden ist. 10
19. Thyristor nach einem der Ansprüche 15 bis 18, gekennzeichnet durch einen Anodenkontakt (130), der mit der unteren P⁺⁺-Schicht (112) verbunden ist. 15
20. Thyristor nach einem der Ansprüche 15 bis 18, dadurch gekennzeichnet, daß der Kathodenkontakt mit einer ersten Gruppe von benachbarten der P⁺-Zellen und der N⁺⁺-Emitterbereiche verbunden ist, daß weiterhin ein Anodenkontakt vorgesehen ist, der mit einer zweiten Gruppe von benachbarten der P⁺-Zellen und der N⁺⁺-Emitterbereiche verbunden ist, daß der Anodenkontakt über dem Halbleiterplättchen in seitlicher Beziehung zu dem Kathodenkontakt angeordnet ist, daß die ersten und zweiten Gruppen von benachbarten P⁺-Zellen und N⁺⁺-Emitterbereichen jeweils je- weilige getrennte Gateeinrichtungen aufweisen und daß die Gateeinrichtungen der ersten Gruppe von benachbarten P⁺-Zellen und N⁺⁺-Emitterbereichen gegenphasig zu den Gateeinrichtungen der zweiten Gruppe von benachbarten P⁺-Zellen und N⁺⁺-Emitterbereichen betrieben werden. 20
21. Thyristor nach einem der Ansprüche 15 bis 20, gekennzeichnet durch eine Vielzahl von benachbarten P⁺-Zellen, die an einem Außenumfang des Halbleiterplättchens angeordnet sind. 25
22. Thyristor mit isoliertem Gate, mit einem Halbleiterplättchen, dadurch gekennzeichnet, daß das Halbleiterplättchen: eine untere Schicht (212) mit einer P⁺-Konzentration, eine über der unteren Schicht (212) angeordnete Schicht (210) mit N-Konzentration, eine über der N⁺-Schicht (210) angeordnete N⁻-Schicht (214), 30
- eine Vielzahl von mit Abstand voneinander angeordneten Thyristorzellen (216, 240), die symmetrisch über den Oberflächenbereich der N⁻-Schicht (214) verteilt sind, wobei die Thyristorzellen jeweils einen N⁺⁺-Emitterbereich (240) aufweisen, der in einem zellularen Basisbereich (216) vom P-Leitungstyp angeordnet ist und mit Abstand von einem Rand dieses Basisbereichs angeordnet ist, und 35
- eine Vielzahl von mit Abstand voneinander angeordneten P⁺-Zellen (220) aufweist, die symmetrisch über den Oberflächenbereich der N⁻-Schicht (214) verteilt sind, wobei die P⁺-Zellen einen N⁺⁺-Sourcebereich (244) aufweisen, der mit Abstand von einem Rand der Basis vom P-Leitungstyp angeordnet ist, um einen jeweiligen Kanal zu bilden, 40
- wobei der N⁺⁺-Sourcebereich (244) mit dem Basisbereich (216) von P-Leitungstyp über eine Metallbrücke (242) verbunden ist, die auf einem schwimmenden Potential liegt. 45
23. Thyristor nach Anspruch 22, dadurch gekennzeichnet, daß die Thyristorzellen schachbrettförmig mit den P⁺-Zellen verschachtelt sind, so daß jede der Thyristorzellen durch jeweilige P⁺-Zellen umgeben ist. 50

24. Thyristor nach Anspruch 22 oder 23, gekennzeichnet durch Gateeinrichtungen (224), die über den Kanälen der N⁺⁺-Zellen und über dem Abstand zwischen benachbarten N⁺⁺-Zellen und P⁺⁺-Zellen angeordnet sind. 5
25. Thyristor nach einem der Ansprüche 22 bis 24, gekennzeichnet durch einen Kathodenkontakt (228), der mit den P⁺-Zellen (220) und den N⁺⁺-Emitterbereichen (240) verbunden ist. 10
26. Thyristor nach einem der Ansprüche 22 bis 25, gekennzeichnet durch einen Anodenkontakt (230), der mit der unteren P⁺⁺-Schicht (212) verbunden ist. 15
27. Thyristor nach einem der Ansprüche 22 bis 25, dadurch gekennzeichnet, daß der Kathodenkontakt mit einer ersten Gruppe von benachbarten P⁺-Zellen und N⁺⁺-Emitterbereichen verbunden ist, daß weiterhin ein Anodenkontakt vorgesehen ist, der mit einer zweiten Gruppe von benachbarten der P⁺-Zellen und der N⁺⁺-Emitterbereiche ver- 20
bunden ist, daß der Anodenkontakt über dem Halbleiterplättchen in seitlicher Beziehung zu dem Kathodenkontakt liegt, daß die ersten und zweiten Gruppen von benachbarten P⁺-Zellen und N⁺⁺-Emitterbereichen jeweils jeweilige getrennte 25
Gateeinrichtungen aufweisen, und daß die Gateeinrichtungen der ersten Gruppe von benachbarten P⁺-Zellen und N⁺⁺-Emitterbereichen gegenphasig zu den Gateeinrichtungen der zweiten Gruppe von benachbarten P⁺-Zellen und N⁺⁺-Emitterbe- 30
reichen betrieben werden. 35
28. Thyristor nach einem der Ansprüche 22 bis 27, gekennzeichnet durch eine Vielzahl von benachbarten P⁺-Zellen, die an einem Außenumfang des Halbleiterplättchens angeordnet sind. 40

Hierzu 18 Seite(n) Zeichnungen

45

46

50

53

56

63

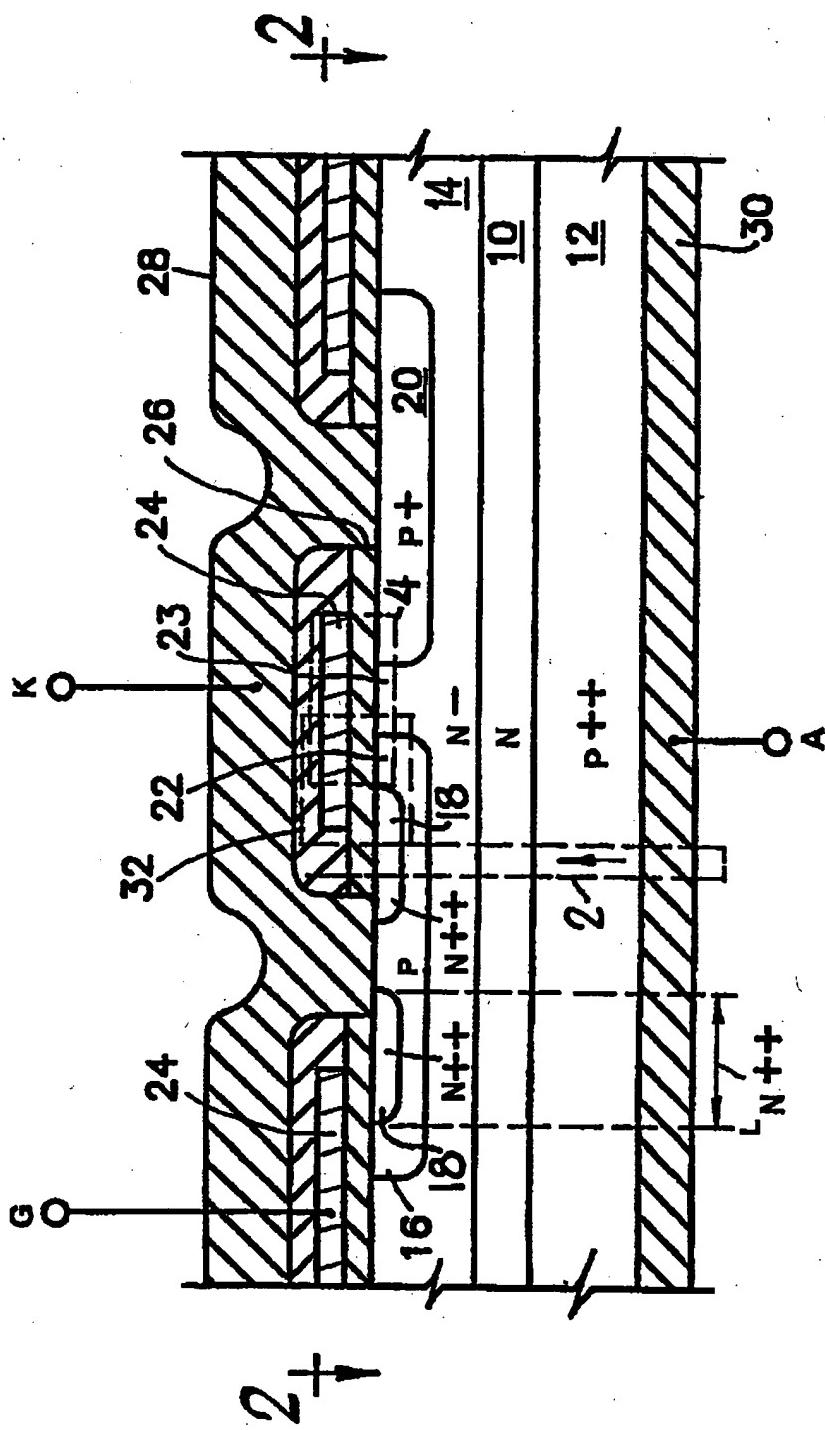


FIG. 1
(STAND DER TECHNIK)

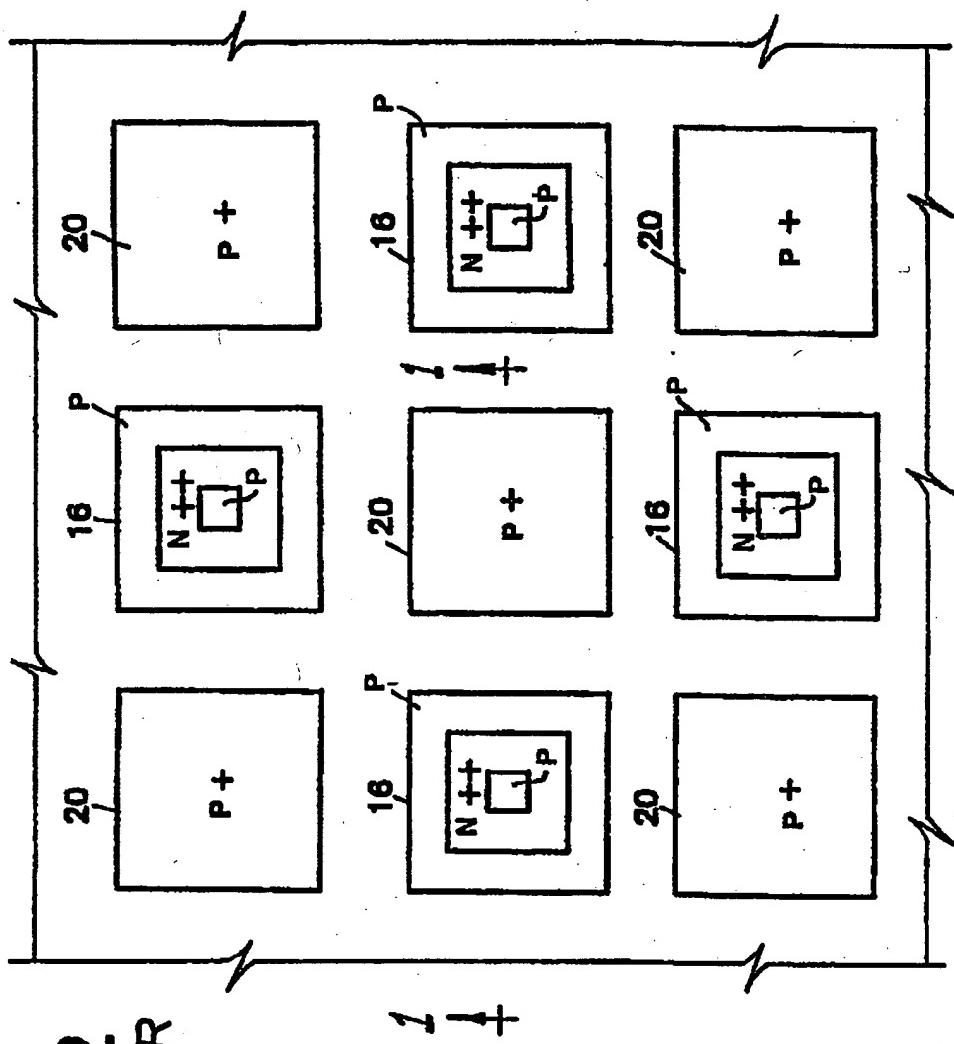
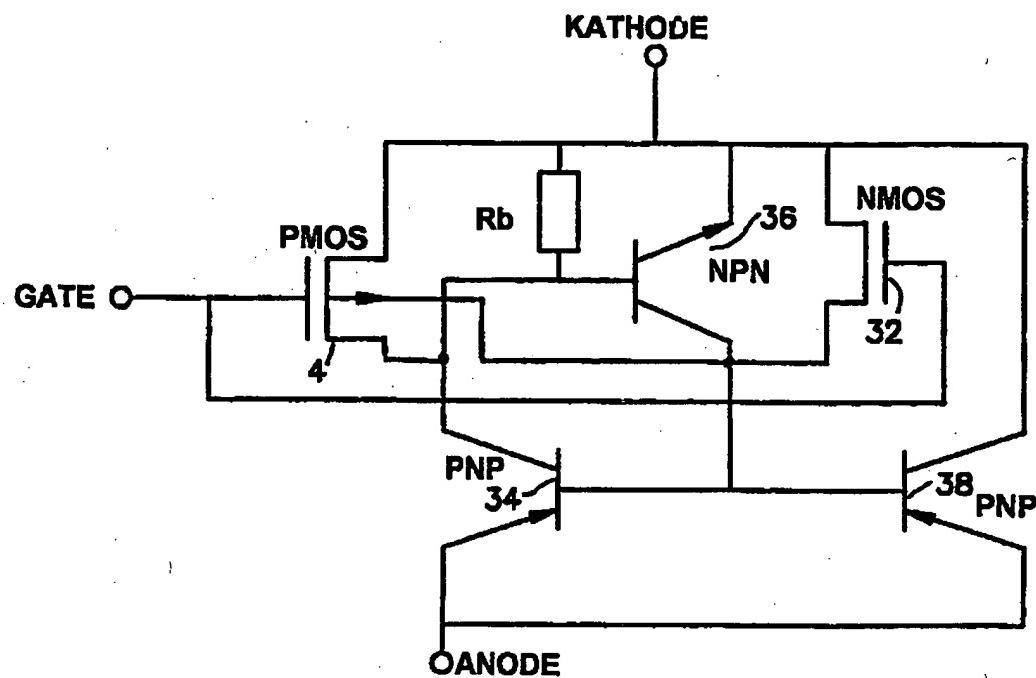
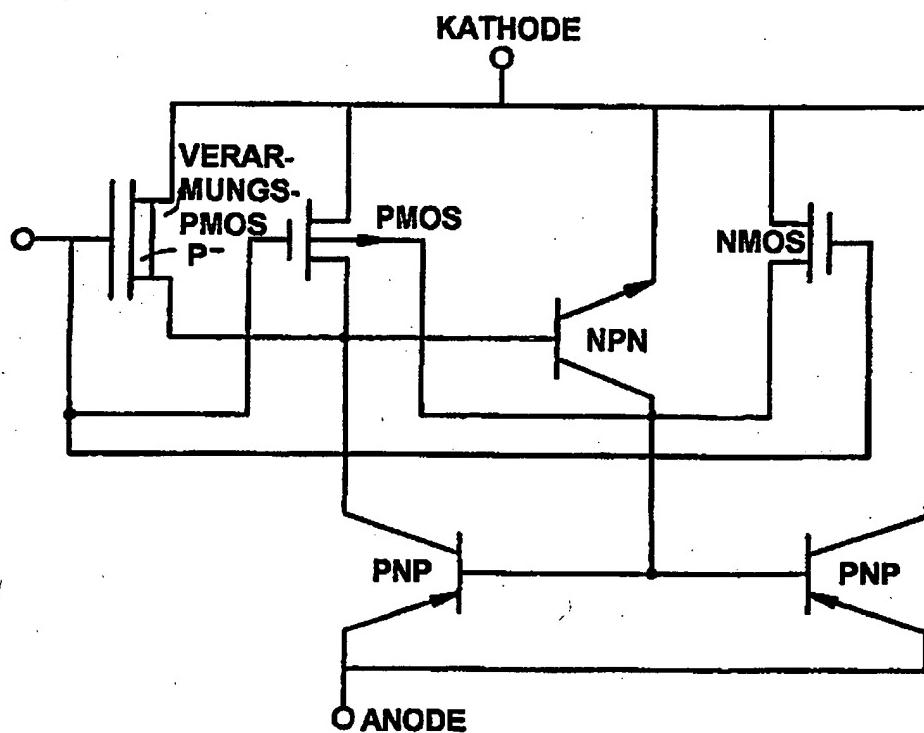


FIG. 2
(STAND DER
TECHNIK)

**FIG. 3****FIG. 4C**

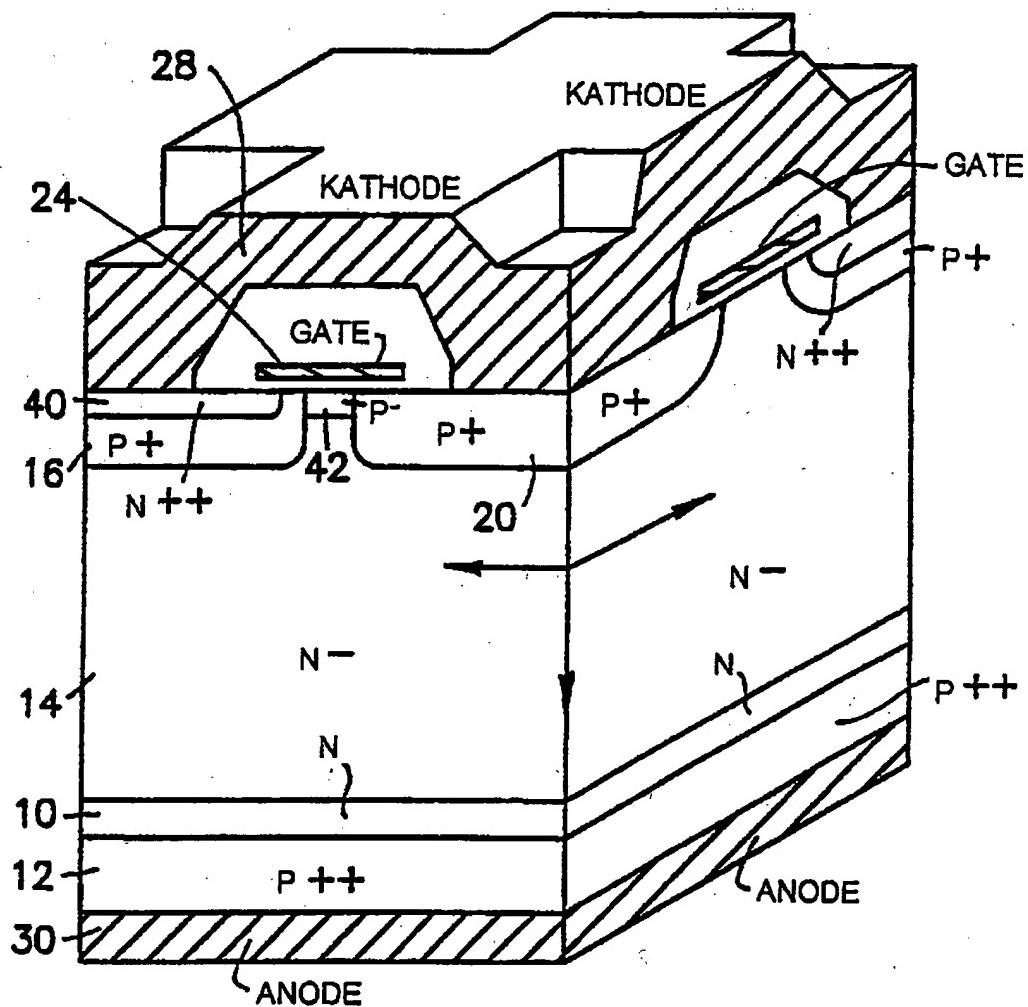


FIG. 4A

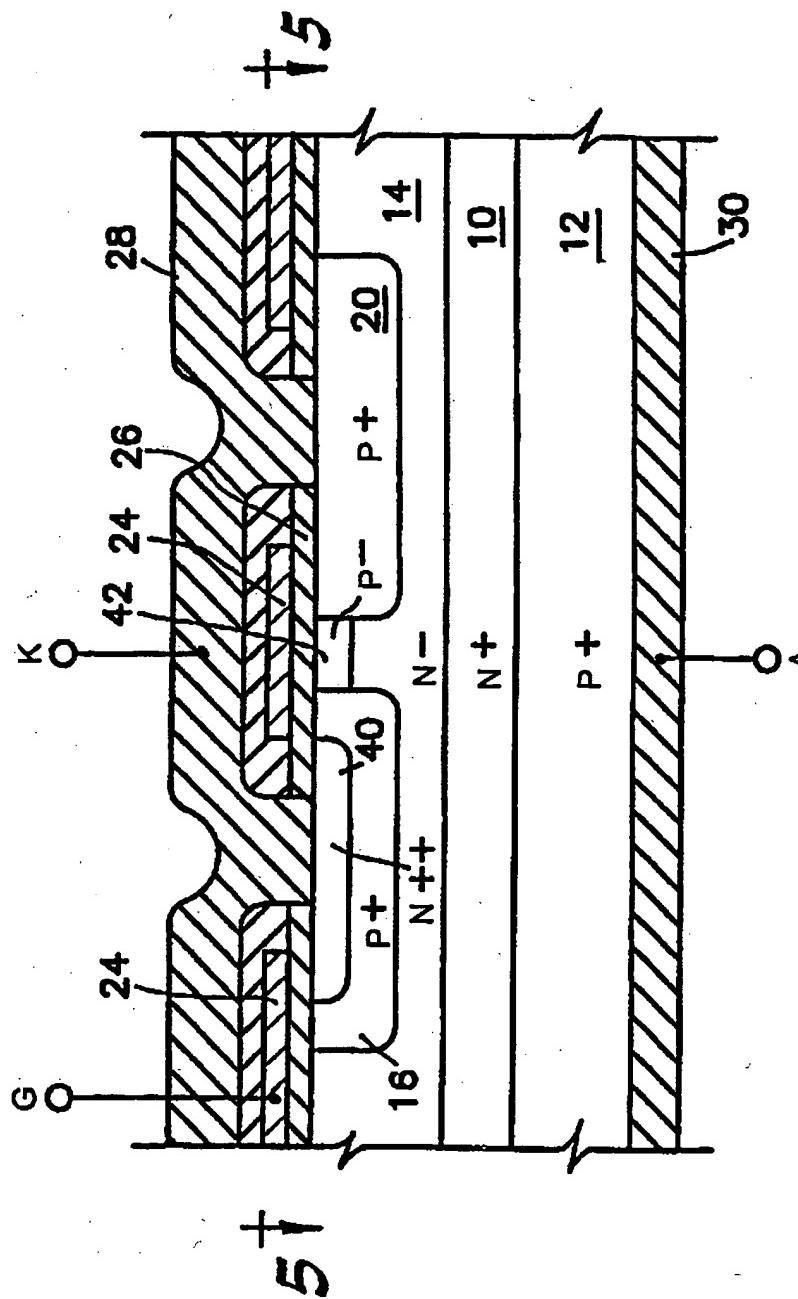


FIG. 4 B

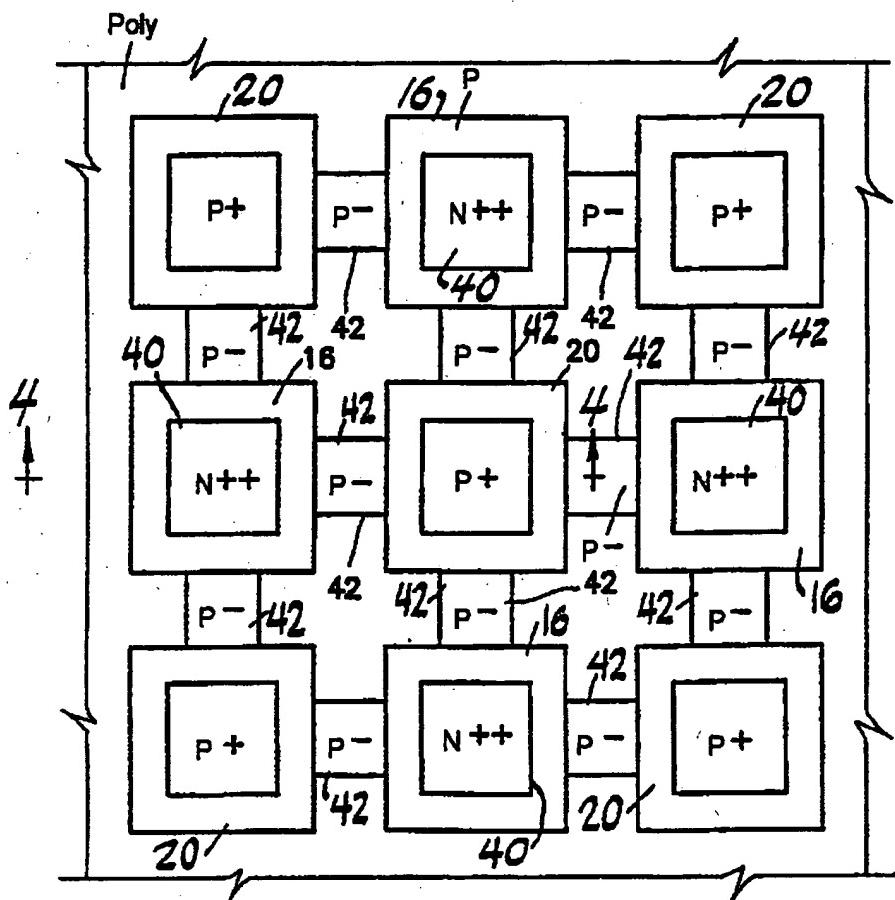
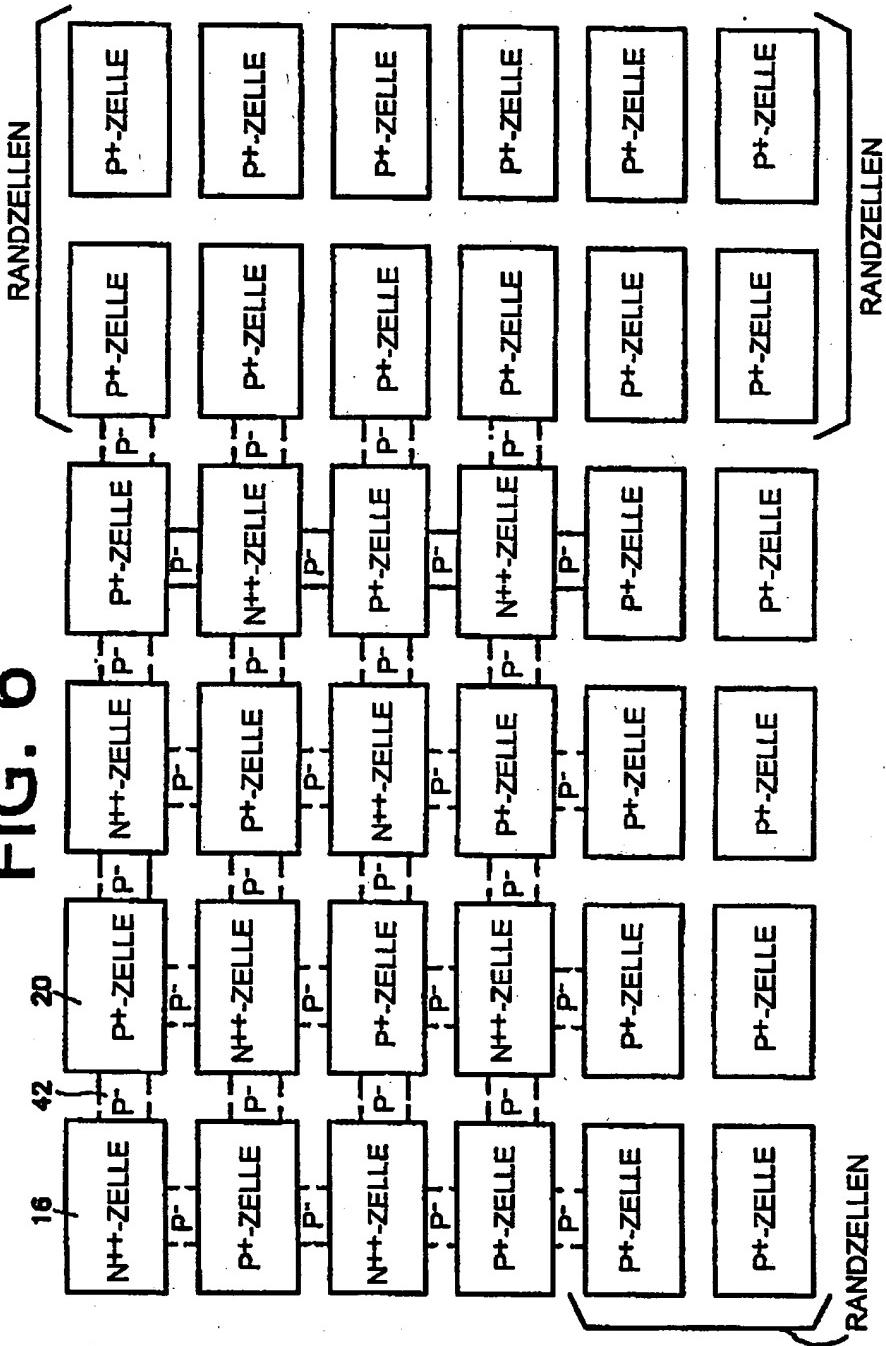


FIG. 5

FIG. 6



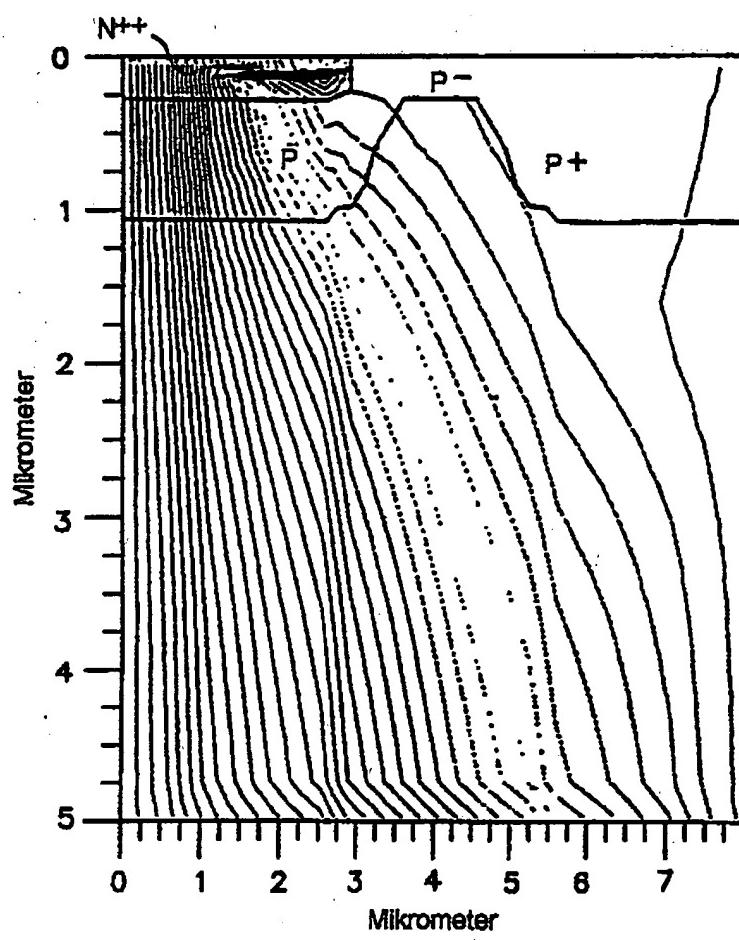


FIG. 7

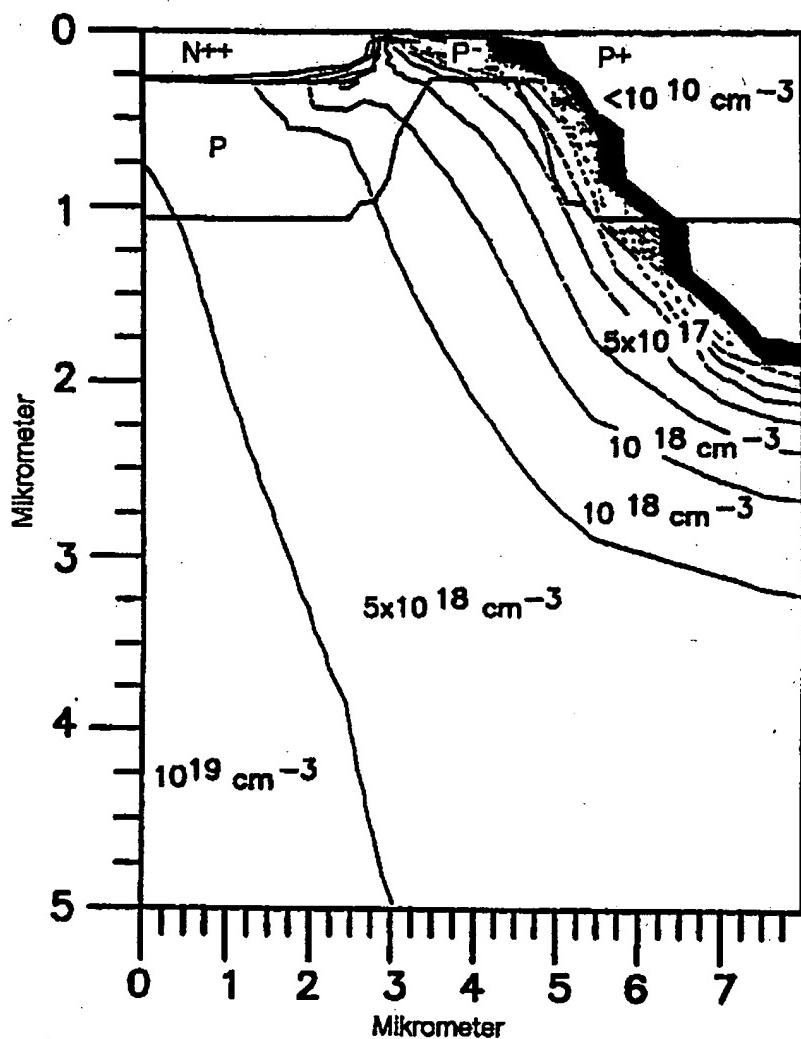


FIG. 8A

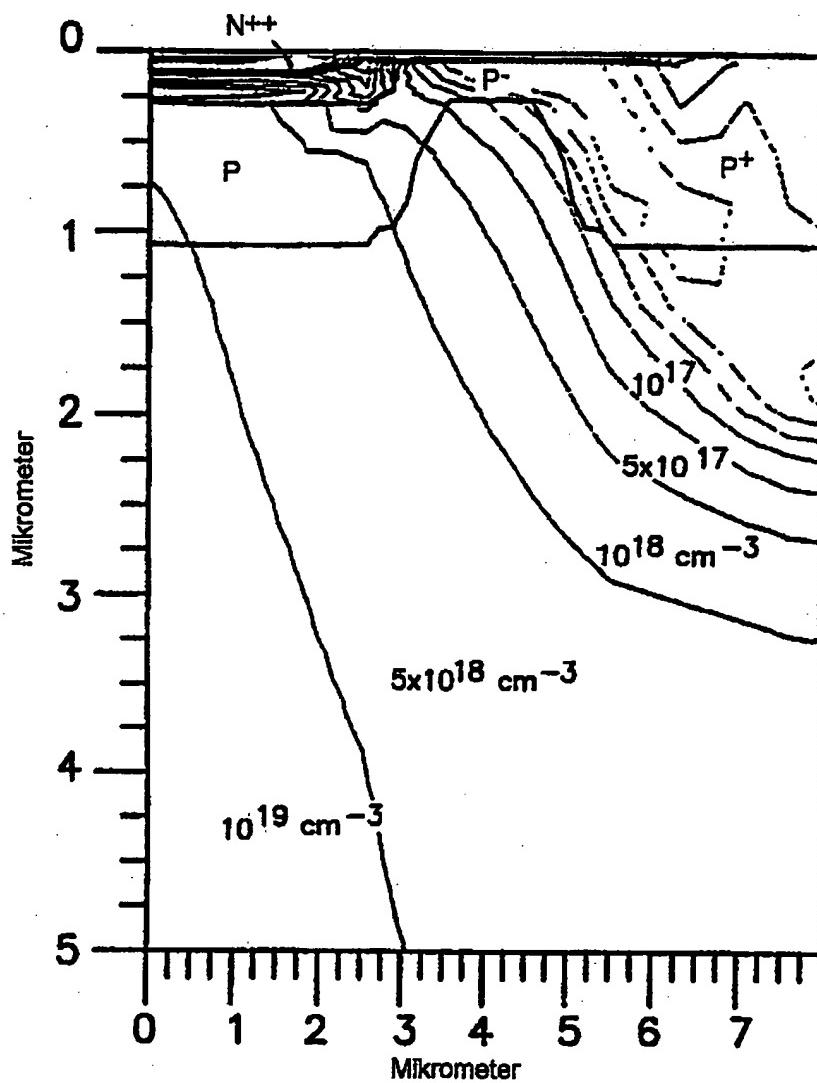


FIG. 8B

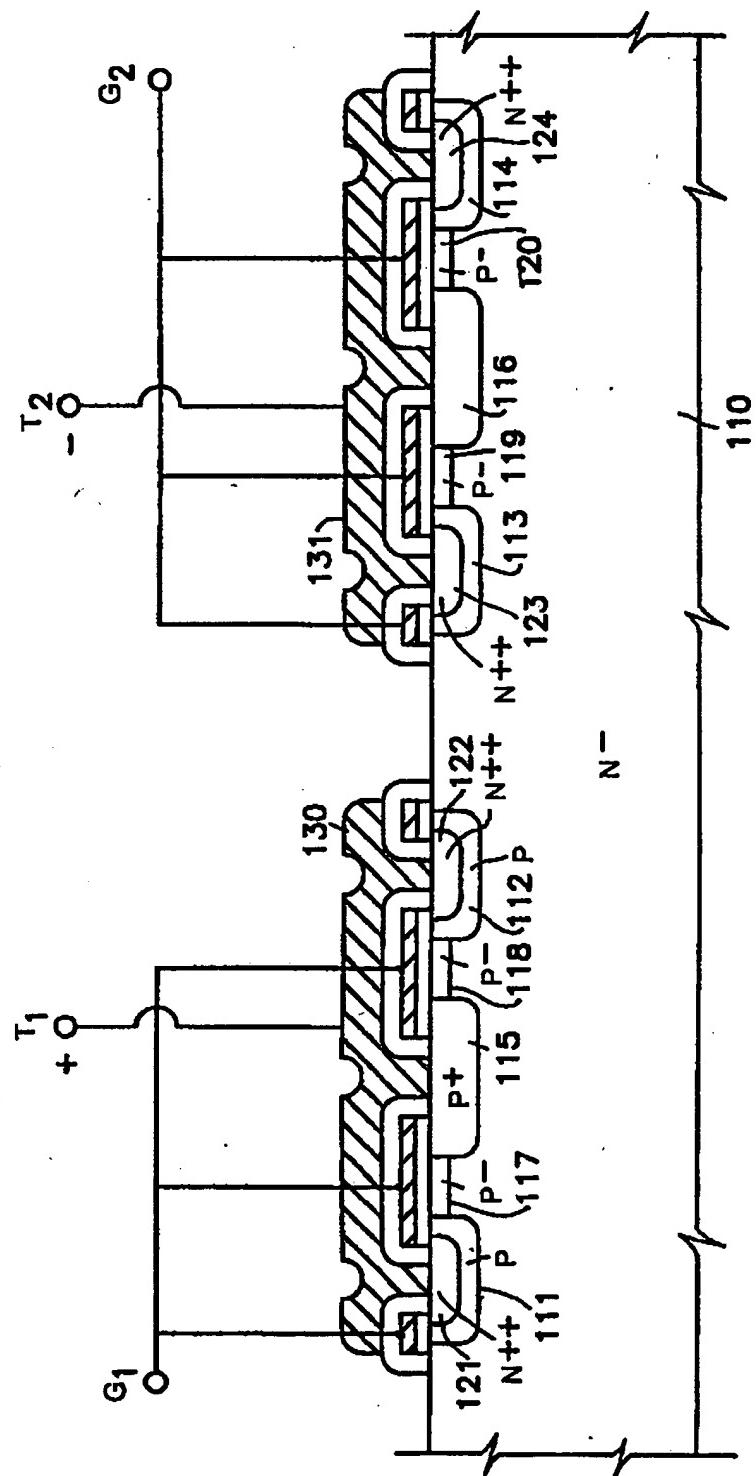


FIG. 9

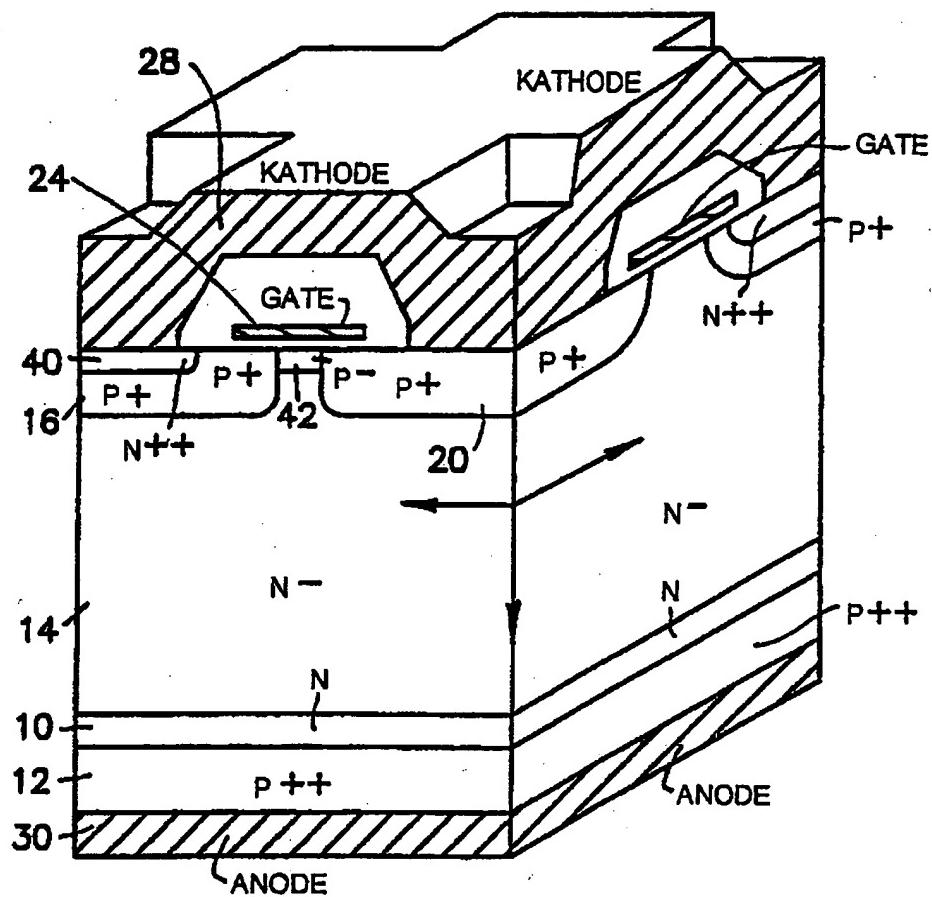
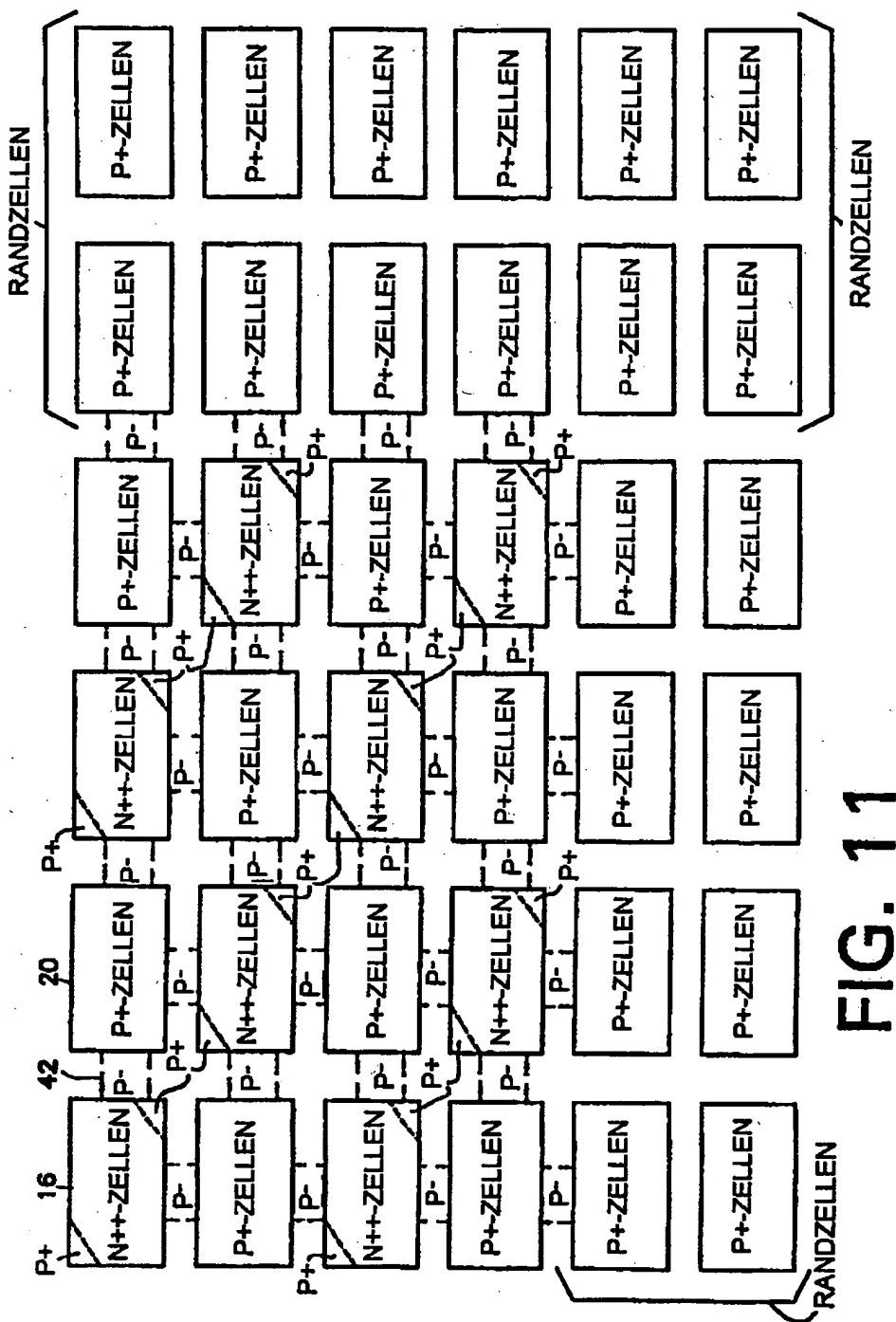


FIG. 10



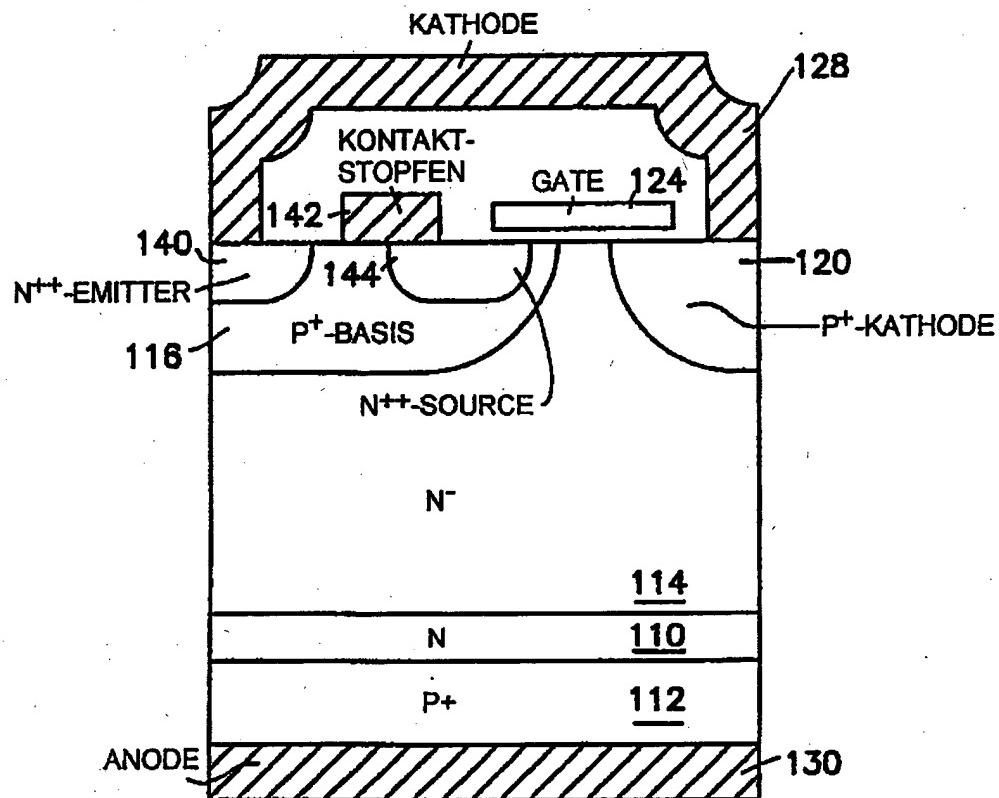


FIG. 12

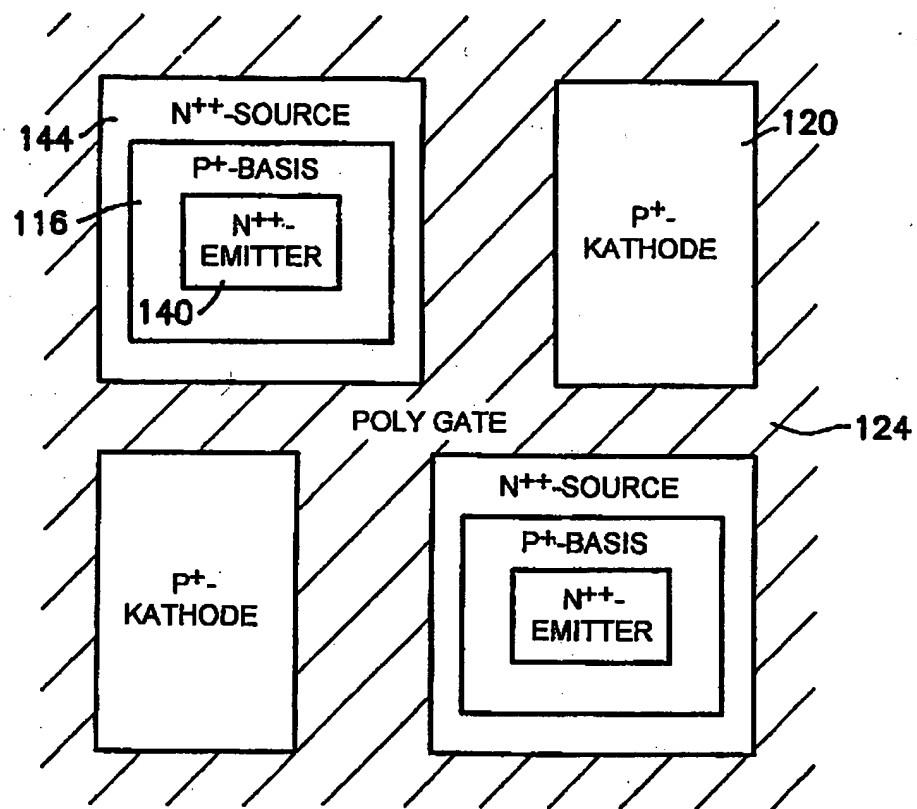


FIG. 13

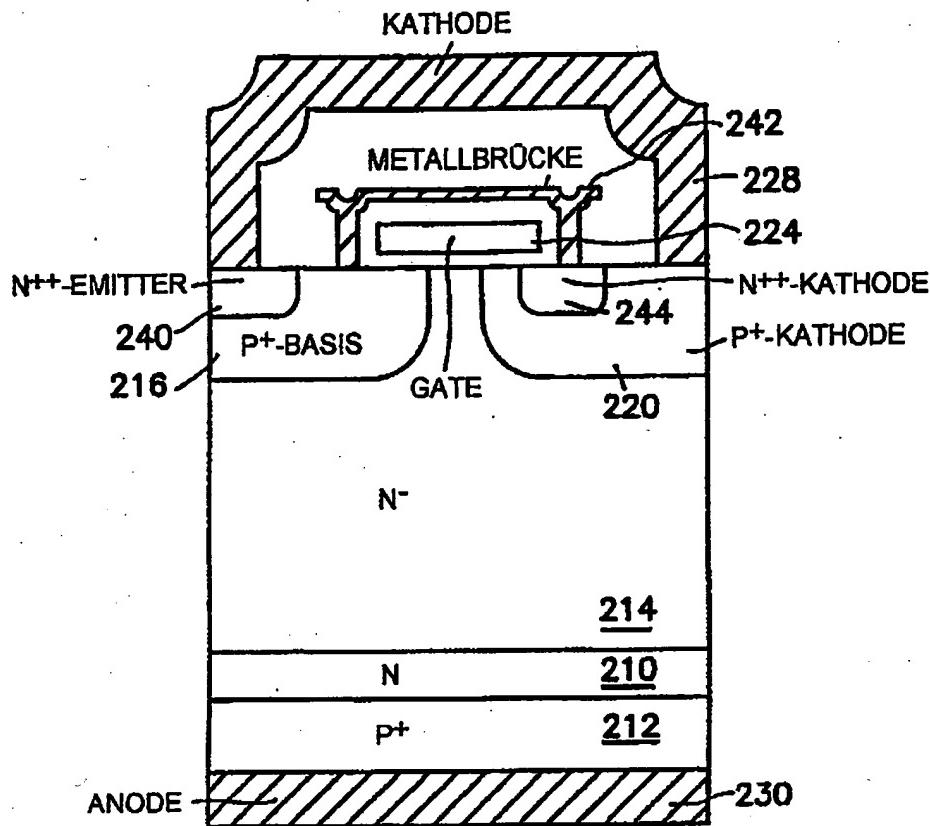


FIG. 14

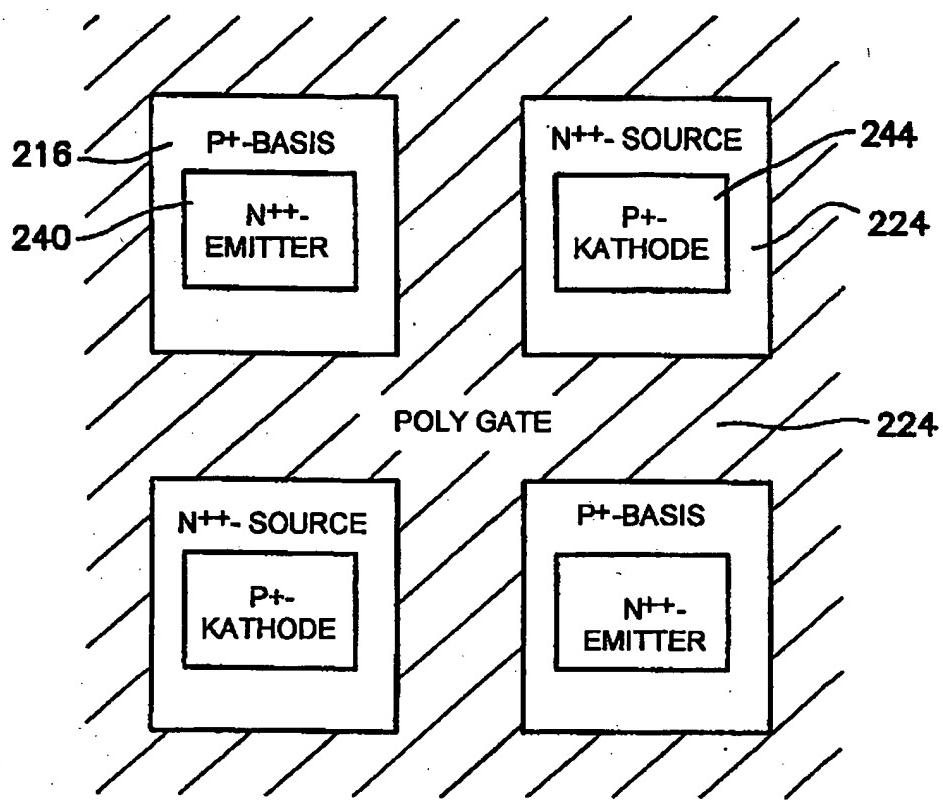


FIG. 15

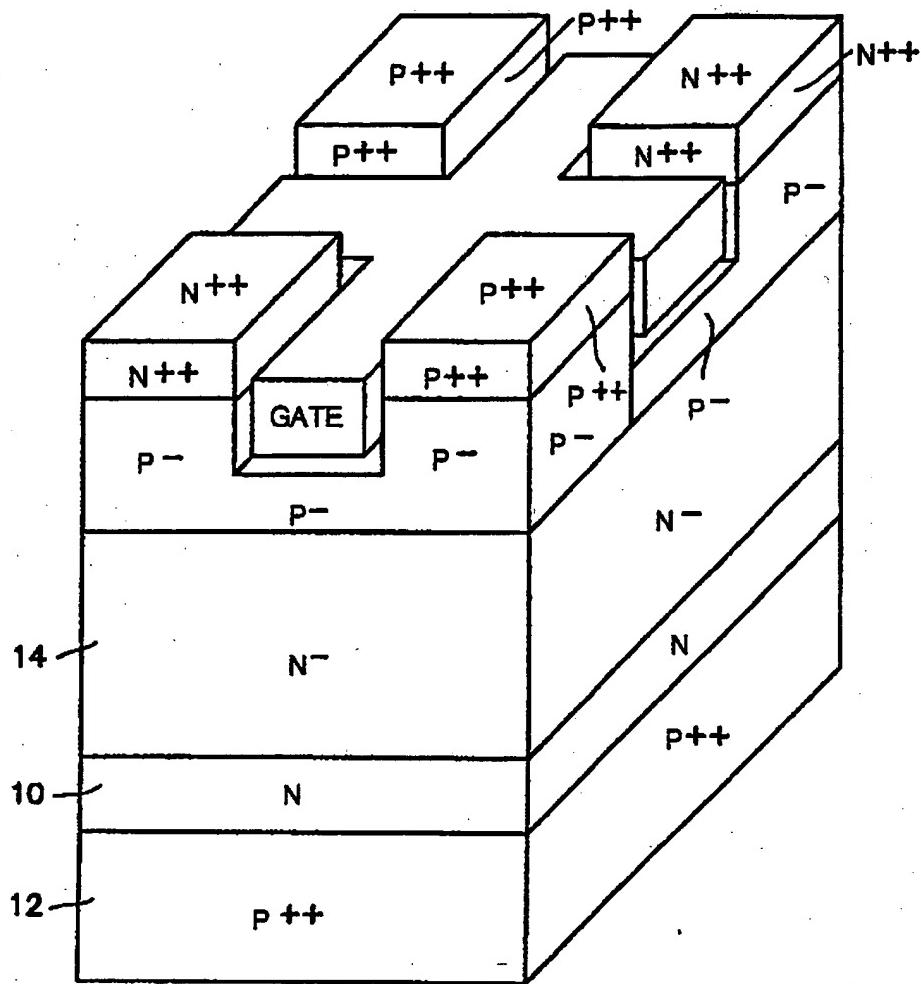


FIG. 16